

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-051656

(43)Date of publication of application : 23.02.2001

(51)Int.CI.

G09G 3/36

G09G 3/20

(21)Application number : 11-224666

(71)Applicant : FUJITSU LTD

(22)Date of filing : 06.08.1999

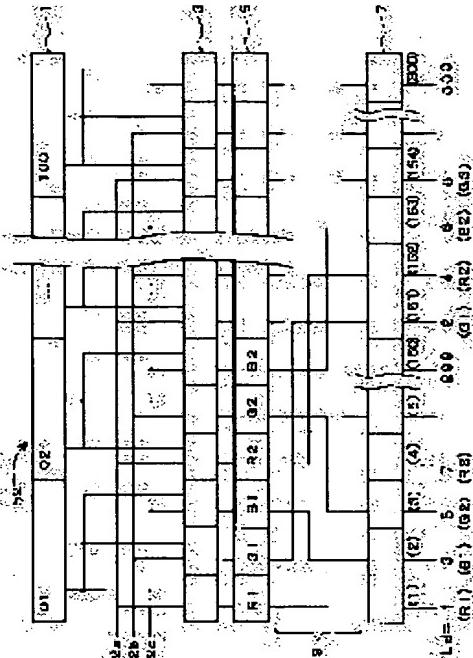
(72)Inventor : MIWA YUICHI

## (54) DATA DRIVER AND LIQUID CRYSTAL DISPLAY DEVICE PROVIDED WITH THE SAME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a data driver capable of simplifying the connection of a data driver and data signal lines of a liquid crystal display panel in carrying out the block sequentiality driving system of the liquid crystal display panel.

**SOLUTION:** This data driver 52 has a data register 3 storing display data to be inputted from an external system to display data input lines 2a to 2c by sampling pulses from a shift register 1. After the display data stored in the data register 3 are latched with a latch 5, the data are distributed by a distributing part 9 to be inputted to prescribed output terminals (1) to (300) of an output circuit 7.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

\* NOTICES \*

JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## CLAIMS

---

### [Claim(s)]

[Claim 1] It is the data driver which drives the data signal line by which was prolonged in the vertical direction within a liquid crystal display panel side, and two or more formation was carried out in parallel with a longitudinal direction by the block sequential drive method. Two or more 1st output signal lines connected to said a part of two or more data signal lines from the upper part within said panel side, The output circuit which outputs an indicative data to two or more 2nd output-signal lines connected to the remainder of two or more of said data signal lines from the lower part within said panel side, The data driver characterized by having the distribution section which distributes said indicative data outputted from said output circuit so that it may wire without said 1st output signal line and said 2nd output signal line crossing on said panel.

[Claim 2] Said distribution section is a data driver characterized by the part and the remainder of said data signal line distributing said indicative data from said output circuit so that it may be further arranged by turns in said panel side in a data driver according to claim 1 at a longitudinal direction.

[Claim 3] Said distribution section is a data driver characterized by the part and the remainder of said data signal line distributing said indicative data from said output circuit so that one may be arranged by turns [ each ] in said panel side in a data driver according to claim 2 at a longitudinal direction.

[Claim 4] Said distribution section is a data driver characterized by the part and the remainder of said data signal line distributing said indicative data from said output circuit so that it may be arranged alternately with  $3n$  ( $n$  is the natural number) book every in said panel side in a data driver according to claim 2 at a longitudinal direction.

[Claim 5] Said distribution section is a data driver characterized by the part and the remainder of said data signal line distributing said indicative data from said output circuit so that it may be further formed mostly in the vertical symmetry in said panel side in a data driver given in claim 2 thru/or any 1 term of 4.

[Claim 6] It is the liquid crystal display equipped with the data driver which drives the data signal line by which was prolonged in the panel side vertical direction and two or more formation was carried out in parallel with a longitudinal direction by the block sequential drive method. Two or more 1st output signal lines which drives said a part of two or more data signal lines from said panel upper part, The liquid crystal display characterized by having two or more 2nd output-signal lines which drives the remainder of two or more of said data signal lines from said panel lower part, without crossing on said two or more 1st output-signal lines and said panel.

[Claim 7] The liquid crystal display characterized by equipping claim 1 thru/or any 1 term of 5 with the data driver of a publication in a liquid crystal display according to claim 6.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[The technical field to which invention belongs] This invention relates to the data driver suitable for the block sequential drive method in a circumference circuit one apparatus liquid crystal display panel in more detail about the data driver for liquid crystal displays.

#### [0002]

[Description of the Prior Art] The example of a configuration of the liquid crystal display panel by which the conventional data driver was carried is explained using drawing 12. Drawing 12 shows the outline configuration of the conventional liquid crystal display panel 101 which has the thin film transistor (TFT) which formed the channel layer by the amorphous silicon (a-Si) as a switching element. Two or more formation of the gate signal line (not shown) prolonged in the direction which two or more formation of the data signal line Ld prolonged in drawing Nakagami down is carried out in parallel with the longitudinal direction in drawing into the viewing area 90 of a panel 101, and intersects perpendicularly with the data signal line Ld mostly is carried out in parallel with drawing Nakagami down. It connects with either of the data drivers 103–117, and each data signal line Ld is driven. Moreover, each of two or more gate signal lines is driven with the gate driver which omitted illustration.

[0003] for example, the panel of the matrix display of 800 pixels wide which is SVGA (Super Video Graphics.Array), and 600 pixels long -- it is -- 1 pixel -- red (R) -- green -- in the case of the color display which consists of (G) and three blue (B) subpixel, the number of display subpixel on one gate signal line (scanning line) is set to 2400 (= 800x3). In order to drive this liquid crystal display 101 by the line sequential drive method, eight data drivers 103–117 which can drive 300 data signal lines Ld per piece are mounted at a time in four vertical edge sides of the data signal line Ld. One data signal line Ld is connected at a time to the data drivers 103–117 prepared in the panel upper and lower sides by turns in order toward the right from \*\*\*\*\*.

[0004] If a number is given to each data signal line Ld sequentially from \*\*\*\*\*\*, the data driver 103 will drive the data signal line Ld of No. odd of numbers 1–599, and the data driver 111 will drive the data signal line Ld of No. even of numbers 2–600. Like the following, the data drivers 105, 107, and 109 drive numbers 601–1199, 1201–1799, and the data signal line Ld of No. odd of 1801–2399, respectively, and the data drivers 113, 115, and 117 drive numbers 602–1200, 1202–1800, and the data signal line Ld of No. even of 1802–2400, respectively.

[0005] From a system side, such as a computer connected to the liquid crystal display 101, the indicative data for the 1 scanning line is usually outputted by the numerical order (ascending order or descending order) of the data signal line Ld. Therefore, the assignment circuit 119 which assigns either of the data drivers 103–117 each indicative data is separately formed so that each indicative data may be outputted from the predetermined data signal line Ld. In addition, even if the indicative datas of R, G, and B in three primary colors of each pixel sent out from a system side are any of analog data and digital data, in case it inputs into the data drivers 103–117, it is inputted as digital data of the number of bits corresponding to the number of display gradation.

[0006] The data drivers 103–117 shown in drawing 12 have the respectively same configuration, and

explain the outline structure using drawing 13 taking the case of the data driver 103. The data driver 103 has the data register 123 and the shift register 121 which supplies a sampling pulse to a data register 123. A shift register 121 is constituted from this example by 100 steps, and outputs a sampling pulse to a data register 123 in order from 01 steps to 100 steps. A data register 123 has the 300 indicative-data storing sections, and the three indicative-data storing sections are assigned one by one corresponding to each stage of a shift register 121. By carrying out sequential sending out of the sampling pulse of each stage, each indicative data currently outputted to three indicative-data output lines 122a-122c is memorized by the three indicative-data storing sections in a data register 123 which carry out sequential correspondence. Therefore, when 100 sampling pulses are outputted one by one, the indicative data for 300 subpixel is stored in a data register 123.

[0007] The latch 125 is connected to the next step of a data register 123. When an indicative data is stored in all the indicative-data storing sections of a data register 123, a latch pulse is answered and indicative datas are latched to latch 125 all at once. It connects with the latch 125 and the gradation electrical-potential-difference creation circuit (not shown), and an output circuit 127 outputs the gradation electrical potential difference corresponding to each indicative data outputted by the latch 125 to the corresponding data signal line Ld. From the gradation electrical-potential-difference creation circuit, the electrical potential difference for 64 gradation is outputted by resistance division etc., and an output circuit 127 chooses a desired electrical-potential-difference value according to an indicative data, and outputs it to the data signal line Ld. A 6-bit indicative data is required to display 64 gradation, and a 8-bit indicative data is required to display 256 gradation. For this reason, as for the indicative-data input lines 122a-122c, in the case of 64 gradation, in the case of 18 and 256 gradation, 24 signal lines are used.

[0008] In the liquid crystal display of the conventional line sequential drive method shown in drawing 12, after using eight data drivers 103 explained above and latching an indicative data to the latch 125 of the data drivers 103-117 altogether, indicative datas are outputted to all the data signal lines Ld through an output circuit 127 all at once.

[0009] Here, it considers mounting the above-mentioned conventional data driver 103 in the liquid crystal display panel equipped with TFT which used for the channel layer p-Si (polish recon) which excels a-Si in electron mobility as a switching element, and making it drive by the block sequential drive method. If the switching element of p-SiTFT can be formed using a low-temperature polish recon manufacture process, on an array substrate, p-Si can be used, a data driver, gate drivers, or some [ those ] circuits can be formed, and the circumference circuit which operates at a high speed can be formed.

[0010] A block sequential drive method is a method which prepares only one data driver in a liquid crystal display panel, divides all the data signal lines Ld on a liquid crystal display panel into two or more blocks by one data driver, and carries out a line sequential drive within a block.

[0011] The number of subpixel of the direction of the scanning line explains the liquid crystal display panel 102 of SVGA of 2400 using drawing 14 about the case where a block sequential drive is carried out, by one data driver 103 which has 300 output terminals. By the block sequential drive method, all the data signal lines Ld in a viewing area 91 are divided so that it may be contained in either of 16 blocks to block A-P. In the block A of the panel upper part, in drawing 14, the block B of a panel lower part contains the data signal line Ld of No. even of numbers 2-300 including the data signal line of No. odd of numbers 1-299. the same -- carrying out -- the block C of the panel upper part -- numbers 301-599 and Block E -- in numbers 1501-1799 and Block M, numbers 1801-2099 and Block O contain [ numbers 601-899 and Block G / numbers 901-1199 and Block I / numbers 1201-1499 and Block K ] the data signal line Ld of No. odd of a number 2101 - 2399\*\*.

[0012] moreover -- the same -- the block D of a panel lower part -- numbers 302-600 and Block F -- in numbers 1502-1800 and Block N, numbers 1802-2100 and Block P contain [ numbers 602-900 and Block H / numbers 902-1200 and Block J / numbers 1202-1500 and Block L ] the data signal line Ld of

No. even of a number 2102 – 2400\*\*.

[0013] Within a 1 horizontal-scanning period, the data driver 103 drives Blocks A and B to coincidence, then, drives Blocks C and D to coincidence, like the following, drives Blocks E and F, Blocks G and H, Blocks I and J, Blocks K and L, and Blocks M and N to coincidence, respectively, and, finally drives Blocks O and P to coincidence.

[0014] In addition, although the data driver 103 of actuation and a configuration which carries out the above-mentioned block sequential drive is the same as that of having been shown in drawing 13, the number of the data signal line Ld shown in drawing 13 changes for every block. For example, in the drive of Blocks A and B, as shown in drawing 14, the indicative data to the number 1 of the data signal line Ld – a number 300 is outputted sequentially from a top, and in the drive of the following blocks C and D, the indicative data to the number 301 of the data signal line Ld – a number 600 is outputted sequentially from a top.

[0015] Thus, it is necessary to make the data signal line Ld of 2-block 8 sets of blocks as 1 set output an indicative data by the block sequential drive method in the time amount which the gate of the 1 scanning line is opening. Therefore, it is necessary to make quick time amount which the gate of the 1 scanning line is opening about 8 times as compared with the case of the same as that of the former, then the array substrate using a-Si which showed the working speed of the data driver 103 to drawing 12 and drawing 13. Therefore, by the block sequential drive method, the need of using the array substrate using p-Si which excelled a-Si in electron mobility has arisen.

[0016] Although blocking of all the data signal lines Ld omitted illustration, it is realized by the block dividing network. A block dividing network makes 2-block 300 indicative datas outputted from the data driver 103 output only to the data signal line Ld of 1 block of predetermined upper and lower sides (for example, blocks A and B), and has the switch function which changes 300 input place blocks of an indicative data so that the indicative data concerned may not input into other 14-block data signal lines Ld.

[0017]

[Problem(s) to be Solved by the Invention] By the way, if a block sequential drive method is applied by the data driver 103 explained above, the following faults will arise. An indicative data is sequentially outputted in the direction in which the indicative data sent out to the data driver 103 through a display buffer etc. from a system side goes to the right from Hidari of a viewing area for every scanning line with a Horizontal Synchronizing signal and a Vertical Synchronizing signal. Therefore, if the case of a drive of Blocks A and B is taken for an example, as shown in drawing 14 R> 4, the indicative data corresponding to the number 1 of the data signal line Ld – a number 300 will be outputted to order from the data driver 103 upper part. If it explains using drawing 15 which shows the wiring relation of the signal output line prolonged to each data signal line Ld more to the detail from the output circuit 127 of the data driver 103, No. odd will be wired at Block A (panel upper part) side, and No. even will be wired to the signal output line of the data driver 103 at Block B (panel lower part) side. Therefore, each signal output line cannot but take the wiring configuration which crosses with two-layer structure at least. However, possibility of generating the short circuit between layers becomes high, and the configuration of wiring leading about to which much wiring crossed mutually in this way has the problem of reducing the manufacture yield of a liquid crystal display panel.

[0018] The purpose of this invention is to offer the data driver suitable for a block sequential drive method. Moreover, the purpose of this invention is equipped with the data driver suitable for a block sequential drive method, realizes wiring leading about that connection with two or more data signal lines is easy, and simple, and is to offer the liquid crystal display which can suppress the fall of the manufacture yield by the short circuit during wiring.

[0019]

[Means for Solving the Problem] It is the data driver which drives the data signal line by which the above-mentioned purpose was prolonged in the vertical direction within a liquid crystal display panel

side, and two or more formation was carried out in parallel with a longitudinal direction by the block sequential drive method. Two or more 1st output signal lines connected to said a part of two or more data signal lines from the upper part within said panel side, The output circuit which outputs an indicative data to two or more 2nd output-signal lines connected to the remainder of two or more of said data signal lines from the lower part within said panel side, It is attained by the data driver characterized by having the distribution section which distributes said indicative data outputted from said output circuit so that it may wire without said 1st output signal line and said 2nd output signal line crossing on said panel.

[0020] Since this invention has the above-mentioned distribution section, even if it is the case where No. odd is wired among the signal output lines from a data driver at a panel side upper part side, and No. even is wired at a panel side lower part side, it will not need to make the wiring layer of each signal output line intersect two-layer structure by carrying out. Therefore, the manufacture yield of a liquid crystal display panel can be raised, without generating the layer short by wiring leading about to which much wiring crossed mutually.

[0021] You may make it said distribution section distribute said indicative data from said output circuit further, in the data driver of above-mentioned this invention, so that the part and the remainder of said data signal line may be arranged by turns in said panel side at a longitudinal direction. Furthermore, you may make it said distribution section distribute said indicative data from said output circuit so that one the part and the remainder of said data signal line may be arranged by turns [ each ] in said panel side at a longitudinal direction. Furthermore, you may make it said distribution section distribute said indicative data from said output circuit so that the part and the remainder of said data signal line may be arranged alternately with  $3n$  ( $n$  is the natural number) book every in said panel side at a longitudinal direction. Furthermore, you may make it the part and the remainder of said data signal line distribute said indicative data from said output circuit so that it may be mostly formed in the vertical symmetry in said panel side.

[0022] Since a data signal line can be mostly formed in the vertical symmetry in a block sequential drive method by having such the distribution section, dispersion in the resistance by the merits and demerits of the wire length in an adjacent data signal line can be reduced, and a smooth gradation display can be realized in the longitudinal direction of the screen.

[0023] Moreover, it is the liquid crystal display equipped with the data driver which drives the data signal line by which the above-mentioned purpose was prolonged in the panel side vertical direction, and two or more formation was carried out in parallel with a longitudinal direction by the block sequential drive method. Two or more 1st output signal lines which drives said a part of two or more data signal lines from said panel upper part, It is attained by the liquid crystal display characterized by having two or more 2nd output-signal lines which drives the remainder of two or more of said data signal lines from said panel lower part, without crossing on said two or more 1st output-signal lines and said panel. The liquid crystal display of above-mentioned this invention is characterized by having the data driver of above-mentioned this invention.

[0024]

[Embodiment of the Invention] The liquid crystal display equipped with the data driver and it by the gestalt of operation of the 1st of this invention is explained using drawing 1 and drawing 2 . Drawing 1 shows the configuration of the outline of the liquid crystal display equipped with the data driver and it by the gestalt of this operation. The data driver by the gestalt of this operation shown in drawing 1 is used by the block sequential drive method, and is mounted in the liquid crystal display panel using p-SiTFT as a switching element. Moreover, it is also possible to form the data driver of the gestalt of this operation, gate drivers, or some [ those ] circuits like the switching element in a pixel field using p-Si on an array substrate, and to consider as a circumference circuit one apparatus liquid crystal display panel.

[0025] Two or more formation of the gate signal line (not shown) prolonged in the direction which two or more formation of the data signal line Ld prolonged in drawing Nakagami down is carried out in parallel

with the longitudinal direction in drawing into the viewing area 51 of the liquid crystal display panel 50 which \*\*\*\*(ed) liquid crystal between the substrates of a pair, and intersects perpendicularly with the data signal line Ld mostly is carried out in parallel with drawing Nakagami down. In addition, each of two or more gate signal lines is driven with the gate driver which omitted illustration.

[0026] While constitutes a panel 50 from one data driver 52, and all the data signal lines Ld are connected with either of two or more output signal lines taken about on the substrate. Two or more output signal lines pulled out from the data driver 52 can be distributed to signal-line bundle 54a which goes to the panel upper part, and signal-line bundle 54b which goes to a panel lower part, without intersecting signal-line bundle 54a.

[0027] For example, it is the panel of the matrix display of 800 pixels wide and 600 pixels long which is SVGA, and, in the case of the color display which 1 pixel becomes from red (R), green (G), and three blue (B) subpixel, the number of display subpixel on one gate signal line (scanning line) is set to 2400 (= 800x3).

[0028] The case where the number of subpixel of the direction of the scanning line carries out the block sequential drive of the liquid crystal display panel 50 of SVGA of 2400 hereafter by the data driver 52 of the gestalt of this operation which has 300 output terminal (1) – (300) is explained. By the block sequential drive method, all the data signal lines Ld are divided so that it may be contained in either of 16 blocks to block A-P. As shown in drawing 1, in the block A of the panel upper part, the block B of a panel lower part contains the data signal line Ld of No. even of numbers 2–300 including the data signal line Ld of No. odd of numbers 1–299. the same -- carrying out -- the block C of the panel upper part -- numbers 301–599 and Block E -- in numbers 1501–1799 and Block M, numbers 1801–2099 and Block O contain [ numbers 601–899 and Block G / numbers 901–1199 and Block I / numbers 1201–1499 and Block K ] the data signal line Ld of No. odd of a number 2101 – 2399\*\*.

[0029] moreover -- the same -- the block D of a panel lower part -- numbers 302–600 and Block F -- in numbers 1502–1800 and Block N, numbers 1802–2100 and Block P contain [ numbers 602–900 and Block H / numbers 902–1200 and Block J / numbers 1202–1500 and Block L ] the data signal line Ld of No. even of a number 2102 – 2400\*\*.

[0030] During a 1 horizontal-scanning period, the data driver 52 drives Blocks A and B to coincidence, then, drives Blocks C and D to coincidence, like the following, drives Blocks E and F, Blocks G and H, Blocks I and J, Blocks K and L, and Blocks M and N to coincidence, respectively, and, finally drives Blocks O and P to coincidence.

[0031] Although later explained in full detail using drawing 2 If the number of (1) – (300) parenthesis writing is given to 300 output terminals of the data driver 52 for convenience sequentially from the drawing 1 top, it will set, for example to the drive of Blocks A and B. – (150) outputs an indicative data predetermined [ to the number 1 of the data signal line Ld – a number 299 ] to No. odd through output terminal (1) and signal-line bundle 54a. At coincidence, – (300) outputs an indicative data predetermined [ to the number 2 of the data signal line Ld – a number 300 ] to No. even through output terminal (151) and signal-line bundle 54b. Therefore, the signal-line bundles 54a and 54b which do not cross mutually as mentioned above are realizable.

[0032] Although blocking of all the data signal lines Ld omitted illustration, it is realized by the block dividing network. A block dividing network makes 2-block 300 indicative datas outputted from the data driver 52 output only to the data signal line Ld of 1 block of predetermined upper and lower sides (for example, blocks A and B), and has the switch function which changes 300 input place blocks of an indicative data so that the indicative data concerned may not input into other 14-block data signal lines Ld. In addition, the block number of partitions is restricted by the time amount which charges a data signal line to a target gradation electrical potential difference.

[0033] Next, the outline structure of the data driver 52 of the gestalt of this operation is explained using drawing 2. The data driver 52 has the data register 3 and the shift register 1 which supplies a sampling pulse to a data register 3. A shift register 1 is constituted from this example by 100 steps, and outputs a

sampling pulse to a data register 3 in order from 01 steps to 100 steps. A data register 3 has the 300 indicative-data storing sections, and the three indicative-data storing sections are assigned one by one corresponding to each stage of a shift register 1. By sending out every three sampling pulses of each stage to the sequential indicative-data storing section, each indicative data currently outputted to three indicative-data output lines 2a-2c is memorized by the three indicative-data storing sections in a data register 3 which carry out sequential correspondence. In this example, since the subpixel indicative data of B is outputted to the subpixel indicative data of R, and indicative-data output line 2b by the pixel measure at the subpixel indicative data of G, and indicative-data output line 2c at indicative-data output line 2a, three indicative datas, R, G, and B, are stored in the three indicative-data storing sections in order for every pixel sequentially from the left at a data register 3. Thus, when 100 sampling pulses are outputted one by one, the indicative data for 300 pixel (subpixel) is stored in a data register 3.

[0034] The latch 5 who has the 300 data storage sections is connected to the next step of a data register 3. When an indicative data is stored in all the indicative-data storing sections of a data register 3, the indicative datas stored in the latch pulse by answering are latched to each data storage section of latch 5 all at once. It connects with latch 5 through the distribution section 9, and connects with the gradation electrical-potential-difference creation circuit (not shown), and an output circuit 7 outputs the gradation electrical potential difference corresponding to each indicative data outputted by the latch 5 to each data signal line Ld. The output circuit 7 has 300 output terminal (1) - (300).

[0035] The electrical potential difference for 64 gradation is outputted by resistance division etc., and from a gradation electrical-potential-difference creation circuit, a desired electrical-potential-difference value is chosen from each output terminal [ of an output circuit 7 ] (1) - (300) according to an indicative data, and it is outputted to each data signal line Ld from it. A 6-bit indicative data is required to display 64 gradation, and a 8-bit indicative data is required to display 256 gradation. For this reason, as for the indicative-data input lines 2a-2c, in the case of 64 gradation, in the case of a total of 18, and 256 gradation, a total of 24 signal lines is used.

[0036] Now, the distribution section 9 has the wiring structure of distributing the output of each data storage section of latch 5 to the output terminal (1) - (300) side of an output circuit 7 so that the signal-line bundles 54a and 54b of the signal output line connected to output terminal [ of the data driver 52 ] (1) - (300) may not cross. Here, pixel [ which was latched / 1st ] R, G, and B data are R1 data (the data of the 1st red (R) subpixel are shown.). the following, and G and B -- the same -- outlining -- it is outputted to the output terminal (1) of an output circuit 7, G1 data are outputted to an output terminal (151), and B1 data have wiring structure outputted to an output terminal (2).

Furthermore, it has the 2nd pixel of the wiring structure where R2 data are outputted to an output terminal (152), G2 data are outputted to an output terminal (3), and B2 data are outputted to an output terminal (153). So that the indicative data which should be inputted into the data signal line Ld of No. odd which is the signal-line bundle 54a side may be hereafter outputted to output terminal (1) - (150) in ascending order in the distribution section 9 similarly Moreover, output terminal (151) - (300) is wired in two or more signal lines between latch 5 and an output circuit 7 so that the indicative data which should be inputted into the data signal line Ld of No. even which is the signal-line bundle 54b side in order may be outputted in ascending order.

[0037] Next, the actuation of the data driver 52 shown in drawing 2 is explained briefly. A shift register 1 outputs a sampling pulse according to the input period of an indicative data from the 01st step to the 100th step. an indicative data -- R, G, and B from three indicative-data output lines 2a-2c -- it is inputted into coincidence, respectively and sequential storing of the indicative data for 3 subpixel is carried out for every sampling pulse at the indicative-data storing section of a data register 3. When a data register 3 stores the indicative data for 300 subpixel, a latch pulse is generated from the outside and the indicative data for 300 subpixel is latched to latch 5 by juxtaposition. In case the latched indicative data is outputted to an output circuit 7, the wiring structure of the distribution section 9 can distribute it, and it is inputted into predetermined output terminal [ of an output circuit 7 ] (1) - (300).

Each output terminal (1) From – (300), the gradation electrical potential difference corresponding to an indicative data is outputted to the predetermined data signal line Ld through the signal-line bundles 54a and 54b which do not cross mutually.

[0038] As explained above, even if it is the case where No. odd of the signal output line from a data driver is wired at Block A (panel upper part) side, and No. even is wired at Block B (panel lower part) side according to the gestalt of this operation, it will not be necessary to make the wiring layer of each signal output line intersect two-layer structure by carrying out. Therefore, the manufacture yield of a liquid crystal display panel can be raised, without much wiring generating the layer short by wiring leading about which crossed mutually.

[0039] Next, the liquid crystal display equipped with the data driver and it by the gestalt of operation of the 2nd of this invention is explained using drawing 3 and drawing 4. The same sign is given to the same component which has the same function as the gestalt of the 1st operation, and an operation, and the explanation is omitted. Drawing 3 shows the configuration of the outline of the liquid crystal display equipped with the data driver 56 and it by the gestalt of this operation. Like [ the data driver 56 by the gestalt of this operation ] the gestalt of the 1st operation, it is used by the block sequential drive method, and is mounted in the circumference circuit one apparatus liquid crystal display panel using p-SiTFT as a switching element. Moreover, the case where the number of subpixel of the direction of the scanning line carries out the block sequential drive of the liquid crystal display panel 50 of SVGA of 2400 by one data driver 56 which has 300 output terminal (1) – (300) is explained.

[0040] Moreover, the block division in the gestalt of this operation is also the same as that of the gestalt of the 1st operation. Therefore, during a 1 horizontal-scanning period, the data driver 56 drives Blocks A and B to coincidence, then, drives Blocks C and D to coincidence, like the following, drives Blocks E and F, Blocks G and H, Blocks I and J, Blocks K and L, and Blocks M and N to coincidence, respectively, and, finally drives Blocks O and P to coincidence.

[0041] For example, in the drive of Blocks A and B, as shown in drawing 3, – (150) outputs an indicative data predetermined [ to the number 1 of the data signal line Ld – a number 299 ] to No. odd through output terminal (1) and signal-line bundle 54a sequentially from a top. At coincidence, – (300) outputs an indicative data predetermined [ to the number 2 of the data signal line Ld – a number 300 ] to No. even through output terminal (151) and signal-line bundle 54b. Therefore, the signal-line bundles 54a and 54b which do not cross mutually like the gestalt of the 1st operation are realizable.

[0042] Furthermore, with the gestalt of this operation, – (150) has connected – (300) in descending order which gets down from a number 300 to a number 2 to the output terminal (151) and data signal line Ld, although it has connected with ascending order at No. odd of the number 1 of the output terminal (1) of the data driver 56, and the data signal line Ld – a number 299. If it follows, for example, sees about Blocks A and B, as shown in drawing 3, whenever the data signal line Ld of a number 1 is the longest in signal-line length, it moves to the right and a number increases one by one at Block A, signal-line length will become short, and it will become the shortest by the data signal line Ld of a number 299. Similarly, in Block B, the data signal line Ld of a number 2 is the longest in signal-line length by the almost same die length as the data signal line Ld of a number 1, and whenever it moves to the right and a number increases one by one, signal-line length becomes short by the almost same die length as Block A, and becomes the shortest by the data signal line Ld of a number 300. That is, a data signal line is mostly formed in the vertical symmetry within the group of a vertical block of Blocks A and B. The data signal line Ld is similarly formed in the vertical symmetry to Blocks O and P from the blocks C and D which are the groups of other blocks. For this reason, dispersion in the resistance by the merits and demerits of the wire length in an adjacent data signal line can be reduced, and a smooth gradation display can be realized now in the longitudinal direction of the screen.

[0043] Next, the outline structure of the data driver 56 of the gestalt of this operation is explained using drawing 4. The data driver 56 of a shift register 1, a data register 3, latch 5, the configuration of an output circuit 7, and the distribution section 11 being formed between latch 5 and an output circuit 7 is

the same as that of the data driver 52 shown in drawing 2, and has the description at the point that the wiring configuration of the distribution section 11 differs from the distribution section 9 of the data driver 52.

[0044] The distribution section 11 has the wiring structure of distributing the output of each data storage section of latch 5 to the output terminal (1) – (300) side of an output circuit 7 so that the signal-line bundles 54a and 54b of the signal output line connected to output terminal [ of the data driver 56 ] (1) – (300) may not cross, and so that the data signal line Ld may be mostly formed in the vertical symmetry within the group of a vertical block. Here, R1 latched pixel [ 1st ] data are outputted to the output terminal (1) of an output circuit 7, G1 data are outputted to an output terminal (300), and B1 data have wiring structure outputted to an output terminal (2). Furthermore, it has the 2nd pixel of the wiring structure where R2 data are outputted to an output terminal (299), G2 data are outputted to an output terminal (3), and B-2 data are outputted to an output terminal (298).

[0045] So that the indicative data which should be inputted into the data signal line Ld of No. odd by the side of signal-line bundle 54a may be hereafter outputted to output terminal (1) – (150) in ascending order in the distribution section 11 similarly. Moreover, output terminal (151) – (300) is wired in two or more signal lines between output circuits 7 with the latch 5 so that the indicative data which should be inputted into the data signal line Ld of No. even by the side of signal-line bundle 54b in order may be outputted in descending order. In addition, since the data driver 56 by the gestalt of this operation can also do so effectiveness predetermined in the same actuation as the data driver 52 by the gestalt of the 1st operation, explanation of operation is omitted.

[0046] Even if it is the case where No. odd of the signal output line from a data driver is wired at Block A (panel upper part) side, and No. even is wired at Block B (panel lower part) side, it will not be necessary to make the wiring layer of each signal output line intersect two-layer structure by carrying out also according to the gestalt of this operation, as explained above. Therefore, the manufacture yield of a liquid crystal display panel can be raised, without much wiring generating the layer short by wiring leading about which crossed mutually. Furthermore, since a data signal line can be mostly formed in the vertical symmetry within the group of a vertical block, dispersion in the resistance by the merits and demerits of the wire length in an adjacent data signal line can be reduced, and a smooth gradation display can be realized in the longitudinal direction of the screen.

[0047] Next, the data driver by the gestalt of operation of the 3rd of this invention is explained using drawing 5. The data driver 58 of the gestalt of this operation is replaced with the data driver 52 shown in drawing 1, and is carried in the liquid crystal display panel 50. Also in this example, the same sign is given to the same component which has the same function as the gestalt of the 1st operation, and an operation, and the explanation is omitted. Although the shift register 1 in the data driver 58, the data register 3, the latch 5, and the configuration of an output circuit 7 are the same as that of the data driver 52 shown in drawing 2, the data driver 58 of the gestalt of this operation has the description in the point of having formed the distribution section 13 between the shift register 1 and the data register 3, to the data driver 52 having formed the distribution section 9 between latch 5 and an output circuit 7.

[0048] The distribution section 13 has the wiring structure of distributing the output destination change of the sampling pulse outputted from a shift register 1 to an indicative-data storing section (1) – (300) 300 of a data register 3 side so that the signal-line bundles 54a and 54b of the signal output line connected to output terminal [ of the data driver 58 ] (1) – (300) may not cross. – (300) supports the output terminal (1) of 300 indicative-data storing – (300) and the sections (1) of a data register, and an output circuit 7, and one to one, for example, the indicative data of the indicative-data storing section (1) of a data register 3 is outputted to the output terminal (1) of an output circuit 7.

[0049] The distribution section 13 has distributed the output line of a sampling pulse so that the sampling pulse for every stage of a shift register 1 may be assigned to the three predetermined indicative-data storing sections of a data register 3. Moreover, the distribution section 13 distributes either of the indicative-data input lines 2a–2c which should be connected to the indicative-data storing

section (1) of a data register 3 – (300) each, and is wiring.

[0050] For example, the distribution section 13 has the wiring structure of inputting into the indicative-data storing section (1) of a data register 3 R1 pixel [ 1st ] data outputted to indicative-data output line 2a, inputting into the indicative-data storing section (151) G1 data outputted to indicative-data output line 2b, and inputting into the indicative-data storing section (2) B1 data outputted to indicative-data output line 2c. More specifically the indicative-data storing section (1) is connected with indicative-data output line 2a, indicative-data output line 2b and the indicative-data storing section (151) are connected, and the indicative-data storing section (2) is connected with indicative-data output line 2c, and it is wiring so that 01 steps of sampling pulses of a shift register 1 may be inputted into coincidence the indicative-data storing section (1), (2), and (151).

[0051] Similarly, indicative-data output line 2a and the indicative-data storing section (152) are connected, indicative-data output line 2b and the indicative-data storing section (3) are connected, and indicative-data output line 2c and the indicative-data storing section (153) are connected, and it is wiring so that 02 steps of sampling pulses of a shift register 1 may be inputted into coincidence the indicative-data storing section (3), (152), and (153). For this reason, R2 pixel [ 2nd ] data outputted to indicative-data output line 2a are inputted into the indicative-data storing section (152), G2 data outputted to indicative-data output line 2b are inputted into the indicative-data storing section (3), and B-2 data outputted to indicative-data output line 2c are inputted into the indicative-data storing section (153).

[0052] Hereafter, similarly, the distribution section 13 so that the indicative data which should be inputted into the data signal line Ld of No. odd by the side of the indicative-data storing section (1) of a data register 3 and signal-line bundle 54a in order may be outputted in ascending order Moreover, so that the indicative data which should be inputted into the data signal line Ld of No. even by the side of signal-line bundle 54b in order may be outputted to indicative-data storing section (151) – (300) in ascending order The signal line between a shift register 1, and the indicative-data input lines 2a–2c and a data register 3 is wired.

[0053] Since – (300) supports the output terminal (1) of 300 indicative-data storing – (300) and the sections (1) of a data register, and an output circuit 7, and one to one as already explained From output terminal (1) – (150), the indicative data which should be inputted into the data signal line Ld of No. odd by the side of signal-line bundle 54a in order is outputted in ascending order in the output terminal (1) of an output circuit 7 – (300). From output terminal (151) – (300), the indicative data which should be inputted into the data signal line Ld of No. even by the side of signal-line bundle 54b in order is outputted in ascending order. Thus, even if it is the case where No. odd of the signal output line from a data driver is wired at Block A (panel upper part) side, and No. even is wired at Block B (panel lower part) side, it will not be necessary to make the wiring layer of each signal output line intersect two-layer structure by carrying out by the data driver 58 by the gestalt of this operation as well as the gestalt of the 1st operation. Therefore, the manufacture yield of a liquid crystal display panel can be raised, without much wiring generating the layer short by wiring leading about which crossed mutually.

[0054] Next, the data driver by the gestalt of operation of the 4th of this invention is explained using drawing 6 . The data driver 60 of the gestalt of this operation is replaced with the data driver 56 shown in drawing 3 , and is carried in the liquid crystal display panel 50. In this example, the same sign is given to the same component which has the same function as the gestalt of the 2nd operation, and an operation, and the explanation is omitted. Although the shift register 1 in the data driver 60, the data register 3, the latch 5, and the configuration of an output circuit 7 are the same as that of the data driver 56 shown in drawing 4 , the data driver 60 of the gestalt of this operation has the description in the point of having formed the distribution section 15 between the shift register 1 and the data register 3, to the data driver 56 having formed the distribution section 11 between latch 5 and an output circuit 7.

[0055] The distribution section 15 has the wiring structure of distributing the output destination change

of the sampling pulse outputted from a shift register 1 to an indicative-data storing section (1) – (300) 300 of a data register 3 side so that the signal-line bundles 54a and 54b of the signal output line connected to output terminal [ of the data driver 60 ] (1) – (300) may not cross. – (300) supports the output terminal (1) of 300 indicative-data storing – (300) and the sections (1) of a data register, and an output circuit 7, and one to one, for example, the indicative data of the indicative-data storing section (1) of a data register 3 is outputted to the output terminal (1) of an output circuit 7.

[0056] The distribution section 15 has distributed the output line of a sampling pulse so that the sampling pulse for every stage of a shift register 1 may be assigned to the three predetermined indicative-data storing sections of a data register 3. Moreover, the distribution section 15 distributes either of the indicative-data input lines 2a–2c which should be connected to the indicative-data storing section (1) of a data register 3 – (300) each, and is wiring.

[0057] For example, the distribution section 15 has the wiring structure of inputting into the indicative-data storing section (1) of a data register 3 R1 pixel [ 1st ] data outputted to indicative-data output line 2a, inputting into the indicative-data storing section (300) G1 data outputted to indicative-data output line 2b, and inputting into the indicative-data storing section (2) B1 data outputted to indicative-data output line 2c. More specifically the indicative-data storing section (1) is connected with indicative-data output line 2a, indicative-data output line 2b and the indicative-data storing section (300) are connected, and the indicative-data storing section (2) is connected with indicative-data output line 2c, and it is wiring so that 01 steps of sampling pulses of a shift register 1 may be inputted into coincidence the indicative-data storing section (1), (2), and (300).

[0058] Similarly, indicative-data output line 2a and the indicative-data storing section (299) are connected, indicative-data output line 2b and the indicative-data storing section (3) are connected, and indicative-data output line 2c and the indicative-data storing section (298) are connected, and it is wiring so that 02 steps of sampling pulses of a shift register 1 may be inputted into coincidence the indicative-data storing section (3), (298), and (299). For this reason, R2 pixel [ 2nd ] data outputted to indicative-data output line 2a are inputted into the indicative-data storing section (299), G2 data outputted to indicative-data output line 2b are inputted into the indicative-data storing section (3), and B-2 data outputted to indicative-data output line 2c are inputted into the indicative-data storing section (298).

[0059] Hereafter, similarly, the distribution section 15 so that the indicative data which should be inputted into the data signal line Ld of No. odd by the side of the indicative-data storing section (1) of a data register 3 and signal-line bundle 54a in order may be outputted in ascending order. Moreover, so that the indicative data which should be inputted into the data signal line Ld of No. even by the side of signal-line bundle 54b in order may be outputted to indicative-data storing section (151) – (300) in descending order. The signal line between a shift register 1, and the indicative-data input lines 2a–2c and a data register 3 is wired.

[0060] Since – (300) supports the output terminal (1) of 300 indicative-data storing – (300) and the sections (1) of a data register, and an output circuit 7, and one to one as already explained From output terminal (1) – (150), the indicative data which should be inputted into the data signal line Ld of No. odd by the side of signal-line bundle 54a is outputted in ascending order in the output terminal (1) of an output circuit 7 – (300). From output terminal (151) – (300), the indicative data which should be inputted into the data signal line Ld of No. even by the side of signal-line bundle 54b is outputted in descending order.

[0061] Thus, even if it is the case where No. odd of the signal output line from a data driver is wired at a panel upper part side, and No. even is wired at a panel lower part side, it will not be necessary to make the wiring layer of each signal output line intersect two-layer structure by carrying out by the data driver 60 by the gestalt of this operation as well as the gestalt of the 2nd operation. Therefore, the manufacture yield of a liquid crystal display panel can be raised, without much wiring generating the layer short by wiring leading about which crossed mutually. Furthermore, since it has the composition

that the indicative data which should be inputted into the data signal line Ld of No. even by the side of signal-line bundle 54b is outputted in descending order from output terminal (151) – (300), a data signal line can be mostly formed in the vertical symmetry within the group of a vertical block. For this reason, dispersion in the resistance by the merits and demerits of the wire length in an adjacent data signal line can be reduced, and a smooth gradation display can be realized now in the longitudinal direction of the screen.

[0062] Next, the liquid crystal display equipped with the data driver and it by the gestalt of operation of the 5th of this invention is explained using drawing 7 and drawing 8. With the gestalt of the above 1st thru/or the 4th implementation, two or more one data signal line Ld connected with two or more data signal lines Ld connected to signal-line bundle 54a at signal-line bundle 54b is arranged by turns [ each ] in the panel side at the longitudinal direction. On the other hand, as shown in drawing 7, with the gestalt of this operation, two or more data signal lines Ld connected with two or more data signal lines Ld connected to signal-line bundle 54a at signal-line bundle 54b have the description at the point which the indicative data from an output circuit has distributed so that three may be arranged by turns [ each ] in a panel side at a longitudinal direction. That is, with the gestalt of this operation, it has the description at the point of trying to distribute wiring by the pixel measure which made subpixel of R, G, and B the lot.

[0063] In drawing 7, if the number of a pixel is attached from panel left-hand side in order to the right, in the block A of the panel upper part, the block B of a panel lower part contains the pixel of No. even of numbers 2–100 including the pixel of No. odd of numbers 1–99. the same -- carrying out -- the block C of the panel upper part -- numbers 101–199 and Block E -- in numbers 501–599 and Block M, numbers 601–699 and Block O contain [ numbers 201–299 and Block G / numbers 301–399 and Block I / numbers 401–499 and Block K ] the pixel of No. odd of a number 701 – 799\*\*.

[0064] moreover -- the same -- the block D of a panel lower part -- numbers 102–200 and Block F -- in numbers 502–600 and Block N, numbers 602–700 and Block P contain [ numbers 202–300 and Block H / numbers 302–400 and Block J / numbers 402–500 and Block L ] the pixel of No. even of a number 702 – 800\*\*.

[0065] A predetermined indicative data is outputted to the pixel of No. odd of the numbers 1–99 to which – (150) made order the number 1 of the data signal line Ld – every three numbers 297 in the group through output terminal (1) and signal-line bundle 54a in the drive of Blocks A and B at order from the top as shown in drawing 7. For example, to coincidence A predetermined indicative data is outputted to the pixel of No. even of the numbers 2–100 to which – (300) made order the number 4 of the data signal line Ld – every three numbers 300 through output terminal (151) and signal-line bundle 54b at the group. The signal-line bundles 54a and 54b which do not cross mutually like the gestalt of the 1st thru/or the 4th operation are realizable with such a configuration.

[0066] Furthermore, although – (150) made order the number 1 of the output terminal (1) of the data driver 62, and the data signal line Ld – every three numbers 297 at the group and it has connected with ascending order with the gestalt of this operation at the pixel of No. odd, – (300) is connected in descending order which gets down from a number 300 to a number 4 to the output terminal (151) and data signal line Ld. Therefore, like the 2nd operation gestalt, by Block A, the data signal line Ld of a number 1 is the longest in signal-line length, and whenever it moves to the right and a number increases one by one, signal-line length becomes short and becomes the shortest by the data signal line Ld of a number 297.

[0067] Similarly, in Block B, the data signal line Ld of a number 4 is the longest in signal-line length by the almost same die length as the data signal line Ld of a number 1, and whenever it moves to the right and a number increases one by one, signal-line length becomes short by the almost same die length as Block A, and becomes the shortest by the data signal line Ld of a number 300. That is, a data signal line is mostly formed in the vertical symmetry within the group of a vertical block of Blocks A and B. The data signal line Ld is similarly formed in the vertical symmetry to Blocks O and P from the blocks C and D which are the groups of other blocks. For this reason, dispersion in the resistance by the merits and

demerits of the wire length in an adjacent data signal line can be reduced, and a smooth gradation display can be realized now in the longitudinal direction of the screen.

[0068] Next, the outline structure of the data driver 62 of the gestalt of this operation is explained using drawing 8. As for the data driver 62, a shift register 1, a data register 3, latch 5, the configuration of an output circuit 7, and the distribution section 17 are formed between the latch 5 and the output circuit 7.

[0069] The distribution section 17 has the wiring structure of distributing the output of each data storage section of latch 5 to the output terminal (1) – (300) side of an output circuit 7 so that the signal-line bundles 54a and 54b of the signal output line connected to output terminal [ of the data driver 62 ] (1) – (300) may not cross, and so that the data signal line Ld may be mostly formed in the vertical symmetry within the group of a vertical block. Here, R1 latched pixel [ 1st ] data are outputted to the output terminal (1) of an output circuit 7, G1 data are outputted to an output terminal (2), and B1 data have wiring structure outputted to an output terminal (3).

[0070] Furthermore, it has the 2nd pixel of the wiring structure where R2 data are outputted to an output terminal (300), G2 data are outputted to an output terminal (299), and B-2 data are outputted to an output terminal (298). Hereafter, similarly, in the distribution section 17, so that the indicative data for every pixel of No. odd may be outputted to the data signal line Ld by the side of signal-line bundle 54a in ascending order at output terminal (1) – (150) Moreover, output terminal (151) – (300) is wired in two or more signal lines between output circuits 7 with the latch 5 so that the indicative data for every pixel of No. even may be outputted to the data signal line Ld by the side of signal-line bundle 54b in descending order. Also by such data driver 62 of the gestalt of this implementation of a configuration, the same effectiveness as the gestalt of the 2nd operation can be acquired.

[0071] Next, the data driver by the gestalt of operation of the 6th of this invention is explained using drawing 9. The data driver 64 of the gestalt of this operation is carried in the liquid crystal display panel 50 which replaced with the data driver 62 shown in drawing 8, and was shown in drawing 7. In this example, the same sign is given to the same component which has the same function as the gestalt of the 5th operation, and an operation, and the explanation is omitted. Although the shift register 1 in the data driver 64, the data register 3, the latch 5, and the configuration of an output circuit 7 are the same as that of the data driver 62 shown in drawing 8, the data driver 64 of the gestalt of this operation has the description to the data driver 62 having formed the distribution section 17 between latch 5 and an output circuit 7 at the point of having formed the distribution section 19 between the shift register 1 and the data register 3.

[0072] The distribution section 19 has the wiring structure of distributing the output destination change of the sampling pulse outputted from a shift register 1 to an indicative-data storing section (1) – (300) 300 of a data register 3 side so that the signal-line bundles 54a and 54b of the signal output line connected to output terminal [ of the data driver 64 ] (1) – (300) may not cross. – (300) supports the output terminal (1) of 300 indicative-data storing – (300) and the sections (1) of a data register, and an output circuit 7, and one to one, for example, the indicative data of the indicative-data storing section (1) of a data register 3 is outputted to the output terminal (1) of an output circuit 7.

[0073] The distribution section 19 has distributed the output line of a sampling pulse so that the sampling pulse for every stage of a shift register 1 may be assigned to the three predetermined indicative-data storing sections of a data register 3. Moreover, the distribution section 19 distributes either of the indicative-data input lines 2a–2c which should be connected to the indicative-data storing section (1) of a data register 3 – (300) each, and is wiring.

[0074] For example, the distribution section 19 has the wiring structure of inputting into the indicative-data storing section (1) of a data register 3 R1 pixel [ 1st ] data outputted to indicative-data output line 2a, inputting into the indicative-data storing section (2) G1 data outputted to indicative-data output line 2b, and inputting into the indicative-data storing section (3) B1 data outputted to indicative-data output line 2c. More specifically the indicative-data storing section (1) is connected with indicative-data output line 2a, indicative-data output line 2b and the indicative-data storing section (2) are connected, and the

indicative-data storing section (3) is connected with indicative-data output line 2c, and it is wiring so that 01 steps of sampling pulses of a shift register 1 may be inputted into coincidence the indicative-data storing section (1), (2), and (3).

[0075] Similarly, indicative-data output line 2a and the indicative-data storing section (300) are connected, indicative-data output line 2b and the indicative-data storing section (299) are connected, and indicative-data output line 2c and the indicative-data storing section (298) are connected, and it is wiring so that 02 steps of sampling pulses of a shift register 1 may input into coincidence the indicative-data storing section (298), (299), and (300). For this reason, R2 pixel [ 2nd ] data outputted to indicative-data output line 2a are inputted into the indicative-data storing section (300), G2 data outputted to indicative-data output line 2b are inputted into the indicative-data storing section (299), and B-2 data outputted to indicative-data output line 2c are inputted into the indicative-data storing section (298).

[0076] Hereafter, similarly, in the distribution section 19, so that the indicative data for every pixel of No. odd may be outputted to the data signal line Ld by the side of signal-line bundle 54a in ascending order at indicative-data storing section (1) – (150) Moreover, indicative-data storing section (151) – (300) is wired in the signal line between a shift register 1, and the indicative-data input lines 2a–2c and a data register 3 so that the indicative data for every pixel of No. even may be outputted to the data signal line Ld by the side of signal-line bundle 54b in descending order.

[0077] Since – (300) supports the output terminal (1) of 300 indicative-data storing – (300) and the sections (1) of a data register, and an output circuit 7, and one to one as already explained From output terminal (1) – (150), the indicative data which should be inputted into the data signal line Ld of No. odd by the side of signal-line bundle 54a is outputted in ascending order in the output terminal (1) of an output circuit 7 – (300). From output terminal (151) – (300), the indicative data which should be inputted into the data signal line Ld of No. even by the side of signal-line bundle 54b is outputted in descending order. Also by such data driver 62 of the gestalt of this implementation of a configuration, the same effectiveness as the gestalt of the 2nd operation can be acquired.

[0078] Next, the data driver by the gestalt of operation of the 7th of this invention is explained using drawing 10. It was fixed so that an indicative data might distribute an output terminal (1) – (150) side to ascending order to a terminal number with the gestalt of the 1st thru/or the 6th operation, but it is easy to be natural even if it makes it distribute to descending order. There are four modes in distributing – (150), an output terminal (1), an output terminal (151), and an indicative data to ascending order and descending order – (300), and the data driver 66 by the gestalt of this operation has the description at the point changed in these four modes according to the hope of the wiring structure of the liquid crystal display panel to connect, or the user of a data driver.

[0079] The distribution section 21 of the data driver 66 by the gestalt of this operation shown in drawing 10 has the switch section 23 changed in the case where the indicative data outputted from output terminal (151) – (300) as indicated to be the case where the indicative data outputted from output terminal (151) – (300) as shown with the gestalt of the 1st operation is located in a line with ascending order with the gestalt of the 2nd operation is located in a line with descending order. The switch section 23 can change now the list of the indicative data which answers an external control signal and is outputted from output terminal (151) – (300). The 1st and the same effectiveness as the gestalt of the 2nd operation can be acquired also by the data driver 66 by the gestalt of this operation, and this data driver 66 is further excellent in the point equipped with versatility applicable to various liquid crystal display panels as it is.

[0080] Not only the gestalt of the above-mentioned implementation but various deformation is possible for this invention. For example, neither the number of pixels of a liquid crystal display panel nor the number of outputs of a data driver is restricted to instantiation of the gestalt of the above-mentioned implementation, but even if they is other numbers of pixels and numbers of driver outputs, of course, it can apply this invention.

[0081] Moreover, although the digital data driver explained with the gestalt of the above-mentioned implementation, of course, this invention is applicable also to the data driver of an analog. furthermore, the sequence (list) of the indicative data outputted from output terminal [ of a data driver ] (1) – (300) is restricted only to what was shown with the gestalt of the above-mentioned implementation -- not having -- various modes -- it can take -- this invention -- those voice -- of course, it applies like -- it is possible.

[0082] Moreover, although the indicative data inputted from an external system side is inputted [ the number of the data signal line Ld ] into the indicative-data input lines 2a–2c with the gestalt of the above-mentioned implementation for example, at ascending order, even if this invention is not restricted to this but an indicative data inputs it into the indicative-data input lines 2a–2c at descending order, it is easy to be natural [ this invention ]. In this case, the chronological-order watch of the sampling pulse of a shift register 1 is reversed. Namely, what is necessary is just to make it generate a sampling pulse from 100 steps in descending order to 01 steps.

[0083] Moreover, it is also possible to generate a sampling pulse without using a shift register. For example, you may make it output a sampling pulse by the decoder which decodes the output Q1 of four bit counters which count clock signal CK thru/or Q4, as shown in drawing 11. The decoder shown in drawing 11 generates a sampling pulse, whenever an output Q1 thru/or Q4 are set to a value "0000", "0001", "0010", and "0011."

[0084] Based on the operation gestalt explained above, this invention is summarized as follows. It is the data driver which drives the data signal line by which was prolonged in the vertical direction within a liquid crystal display panel side, and two or more formation was carried out in parallel with a longitudinal direction as the 1st invention by the block sequential drive method. Two or more 1st output signal lines connected to said a part of two or more data signal lines from the upper part within said panel side, The output circuit which outputs an indicative data to two or more 2nd output-signal lines connected to the remainder of two or more of said data signal lines from the lower part within said panel side, The data driver characterized by having the distribution section which distributes said indicative data outputted from said output circuit so that it may wire without said 1st output signal line and said 2nd output signal line crossing on said panel.

[0085] Said distribution section is a data driver characterized by the part and the remainder of said data signal line distributing said indicative data from said output circuit so that it may be further arranged by turns in said panel side in the data driver of invention of the above 1st at a longitudinal direction as the 2nd invention.

[0086] Said distribution section is a data driver characterized by the part and the remainder of said data signal line distributing said indicative data from said output circuit so that one may be arranged by turns [ each ] in said panel side in the data driver of invention of the above 2nd at a longitudinal direction as the 3rd invention.

[0087] Said distribution section is a data driver characterized by the part and the remainder of said data signal line distributing said indicative data from said output circuit so that it may be arranged alternately with 3n (n is the natural number) book every in said panel side in the data driver of invention of the above 2nd at a longitudinal direction as the 4th invention.

[0088] Said distribution section is a data driver characterized by the part and the remainder of said data signal line distributing said indicative data from said output circuit so that it may be further formed mostly in the vertical symmetry in said panel side in the data driver of the above 2nd thru/or the 4th one of invention as the 5th invention.

[0089] As the 6th invention, it is the data driver which has two or more data-hold sections outputted to said output circuit after carrying out sequential storing of said indicative data inputted from the outside in the data driver of the above 1st thru/or the 5th one of invention, and is characterized by preparing said distribution section between said data-hold section and said output circuit.

[0090] In the data driver of the above 1st thru/or the 5th one of invention as the 7th invention The shift

register which carries out the sequential output of the sampling pulse which samples said indicative data inputted from the outside. It is the data driver which has two or more data-hold sections outputted to said output circuit after carrying out sequential storing of said indicative data based on said sampling pulse, and is characterized by preparing said distribution section between said shift register and said data-hold section.

[0091] It is the liquid crystal display equipped with the data driver which drives the data signal line by which was prolonged in the panel side vertical direction and two or more formation was carried out in parallel with a longitudinal direction as the 8th invention by the block sequential drive method. Two or more 1st output signal lines which drives said a part of two or more data signal lines from said panel upper part, The liquid crystal display characterized by having two or more 2nd output-signal lines which drives the remainder of two or more of said data signal lines from said panel lower part, without crossing on said two or more 1st output-signal lines and said panel.

[0092] The liquid crystal display characterized by having the data driver of the above 1st thru/or the 7th one of invention in the liquid crystal display of invention of the above 8th as the 9th invention.

[0093]

[Effect of the Invention] According to this invention the above passage, the data driver suitable for a block sequential drive method is realizable. Moreover, according to this invention, it has a data driver suitable for a block sequential drive method, wiring leading about that connection with two or more data signal lines is easy and simple is realized, and the liquid crystal display which can suppress the fall of the manufacture yield by the short circuit during wiring can be realized.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

### [Brief Description of the Drawings]

[Drawing 1] It is drawing showing the outline configuration of the liquid crystal display equipped with the data driver and it by the gestalt of operation of the 1st of this invention.

[Drawing 2] It is drawing showing the outline configuration of the data driver by the gestalt of operation of the 1st of this invention.

[Drawing 3] It is drawing showing the outline configuration of the liquid crystal display equipped with the data driver and it by the gestalt of operation of the 2nd of this invention.

[Drawing 4] It is drawing showing the outline configuration of the data driver by the gestalt of operation of the 2nd of this invention.

[Drawing 5] It is drawing showing the outline configuration of the data driver by the gestalt of operation of the 3rd of this invention.

[Drawing 6] It is drawing showing the outline configuration of the data driver by the gestalt of operation

of the 4th of this invention.

[Drawing 7] It is drawing showing the outline configuration of the liquid crystal display equipped with the data driver and it by the gestalt of operation of the 5th of this invention.

[Drawing 8] It is drawing showing the outline configuration of the data driver by the gestalt of operation of the 5th of this invention.

[Drawing 9] It is drawing showing the outline configuration of the data driver by the gestalt of operation of the 6th of this invention.

[Drawing 10] It is drawing showing the outline configuration of the data driver by the gestalt of operation of the 7th of this invention.

[Drawing 11] It is drawing showing the counter as an alternative means of a shift register, and the example of a configuration of the combination of a decoder.

[Drawing 12] It is drawing showing the example of a configuration of the liquid crystal display panel which carried the conventional data driver.

[Drawing 13] It is the block diagram showing the outline configuration of the conventional data driver.

[Drawing 14] It is drawing explaining the conventional block sequential drive.

[Drawing 15] It is drawing explaining the problem produced when performing a block sequential drive by the conventional data driver.

[Description of Notations]

1 Shift Register

3 Data Register

5 Latch

7 Output Circuit

9, 11, 13, 15, 17, 19, 21 Distribution section

23 Switch Section

50,101,102 Liquid crystal display panel

51, 90, 91 Viewing area

52, 56, 58, 60, 62, 64, 103, 105, 107, 109, 111, 113, 115, 117 Data driver

121 Shift Register

123 Data Register

125 Latch

127 Output Circuit

---

[Translation done.]



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-51656

(P2001-51656A)

(43)公開日 平成13年2月23日 (2001.2.23)

(51)Int.Cl.<sup>7</sup>

G 0 9 G 3/36  
3/20

識別記号

6 2 1

F I

G 0 9 G 3/36  
3/20

テーマート<sup>\*</sup>(参考)

5 C 0 0 6  
6 2 1 M 5 C 0 8 0

審査請求 未請求 請求項の数 7 O L (全 19 頁)

(21)出願番号

特願平11-224666

(22)出願日

平成11年8月6日(1999.8.6)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 三輪 裕一

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74)代理人 100101214

弁理士 森岡 正樹

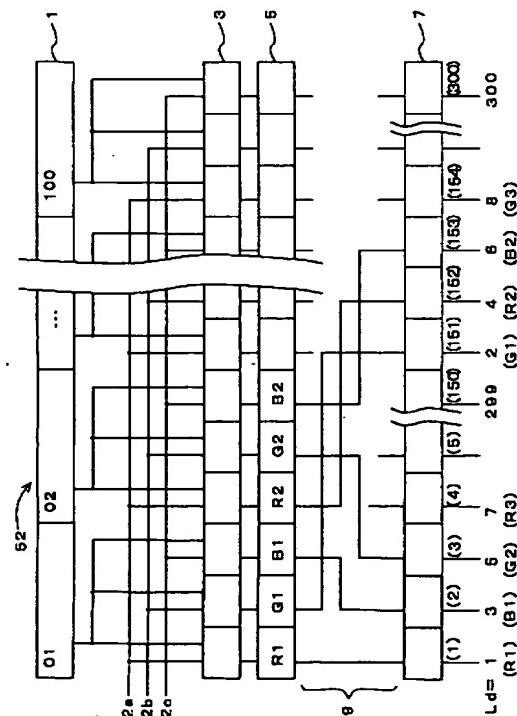
最終頁に続く

(54)【発明の名称】 データ・ドライバ及びそれを備えた液晶表示装置

(57)【要約】

【課題】 液晶表示パネルのブロック順次駆動方式を実施する際にデータ・ドライバと液晶表示パネルのデータ信号線の接続を簡単化するデータ・ドライバを提供すること。

【解決手段】 データ・ドライバ52は、外部システムから表示データ入力線2a～2cに入力された表示データをシフトレジスタ1からのサンプリング・パルスにより格納するデータレジスタ3を有している。データレジスタ3に格納された表示データはラッチ5でラッチされてから振分部9により振り分けられて出力回路7の所定の出力端子(1)～(300)に入力される。



(2)

**【特許請求の範囲】**

【請求項 1】液晶表示パネル面内の上下方向に延び、左右方向に平行に複数形成されたデータ信号線をブロック順次駆動方式で駆動するデータ・ドライバであって、前記パネル面内上方から複数の前記データ信号線の一部に接続される複数の第1の出力信号線と、前記パネル面内下方から複数の前記データ信号線の残りに接続される複数の第2の出力信号線とに表示データを出力する出力回路と、

前記第1の出力信号線と前記第2の出力信号線とが前記パネル上で交差せずに配線されるように、前記出力回路から出力される前記表示データを振り分ける振分部とを有することを特徴とするデータ・ドライバ。

【請求項 2】請求項 1 記載のデータ・ドライバにおいて、

前記振分部は、

さらに、前記データ信号線の一部と残りとが、前記パネル面内で左右方向に交互に配置されるように前記出力回路からの前記表示データを振り分けることを特徴とするデータ・ドライバ。

【請求項 3】請求項 2 記載のデータ・ドライバにおいて、

前記振分部は、

前記データ信号線の一部と残りとが、前記パネル面内で左右方向に1本ずつ交互に配置されるように前記出力回路からの前記表示データを振り分けることを特徴とするデータ・ドライバ。

【請求項 4】請求項 2 記載のデータ・ドライバにおいて、

前記振分部は、

前記データ信号線の一部と残りとが、前記パネル面内で左右方向に3n(nは自然数)本ずつ交互に配置されるように前記出力回路からの前記表示データを振り分けることを特徴とするデータ・ドライバ。

【請求項 5】請求項 2 乃至 4 のいずれか 1 項に記載のデータ・ドライバにおいて、

前記振分部は、

さらに、前記データ信号線の一部と残りが、前記パネル面内でほぼ上下対称に形成されるように前記出力回路からの前記表示データを振り分けることを特徴とするデータ・ドライバ。

【請求項 6】パネル面上下方向に延び、左右方向に平行に複数形成されたデータ信号線をブロック順次駆動方式で駆動するデータ・ドライバを備えた液晶表示装置であって、

前記パネル上方から複数の前記データ信号線の一部を駆動する第1の複数の出力信号線と、

前記第1の複数の出力信号線と前記パネル上で交差せずに前記パネル下方から複数の前記データ信号線の残りを駆動する第2の複数の出力信号線とを有することを特徴

2

とする液晶表示装置。

【請求項 7】請求項 6 記載の液晶表示装置において、請求項 1 乃至 5 のいずれか 1 項に記載のデータ・ドライバを備えていることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、液晶表示装置用データ・ドライバに関し、より詳しくは、周辺回路一体型液晶表示パネルにおけるブロック順次駆動方式に適したデータ・ドライバに関する。

【0002】

【従来の技術】従来のデータ・ドライバが搭載された液晶表示パネルの構成例について図12を用いて説明する。図12は、アモルファス・シリコン(a-Si)でチャネル層を形成した薄膜トランジスタ(TFT)をスイッチング素子として有する従来の液晶表示パネル101の概略構成を示している。パネル101の表示領域90内には図中上下方向に延びるデータ信号線Ldが図中左右方向に平行に複数形成され、また、データ信号線Ldとほぼ直交する方向に延びるゲート信号線(図示せず)が図中上下方向に平行に複数形成されている。各データ信号線Ldはデータ・ドライバ103~117のいずれかに接続されて駆動されるようになっている。また、複数のゲート信号線のそれぞれは、図示を省略したゲート・ドライバにより駆動されるようになっている。

【0003】例えば、SVGA(Super Video Graphics Array)である横800ピクセル、縦600ピクセルのマトリクス表示のパネルであって、1ピクセルが赤(R)、緑(G)、青(B)の3つのサブピクセルからなるカラー表示の場合、1本のゲート信号線(走査線)上の表示サブピクセル数は2400( $=800 \times 3$ )となる。この液晶表示装置101を線順次駆動方式で駆動するには、例えば1個当たり300本のデータ信号線Ldを駆動できる8個のデータ・ドライバ103~117がデータ信号線Ldの上下端部側に4個ずつ実装される。データ信号線Ldは、例えば図中左から右に向かって順に、パネル上下に設けられたデータ・ドライバ103~117に交互に1本ずつ接続されている。

【0004】各データ信号線Ldに図中左から順に番号を付すと、データ・ドライバ103は番号1~599の奇数番のデータ信号線Ldを駆動し、データ・ドライバ111は番号2~600の偶数番のデータ信号線Ldを駆動する。以下同様にして、データ・ドライバ105、107、109は番号601~1199、1201~1799、1801~2399の奇数番のデータ信号線Ldをそれぞれ駆動し、データ・ドライバ113、115、117は番号602~1200、1202~1800、1802~2400の偶数番のデータ信号線Ldをそれぞれ駆動する。

(3)

3

【0005】液晶表示装置101に接続されたコンピュータ等のシステム側からは、通常1走査線分の表示データがデータ信号線Ldの番号順(昇順あるいは降順)で出力される。従って、各表示データが所定のデータ信号線Ldから出力されるように、各表示データをデータ・ドライバ103～117のいずれかに割り振る割り振り回路119が別途設けられている。なお、システム側から送出される各画素のR、G、Bの三原色の表示データがアナログデータ、デジタルデータのいずれであっても、データ・ドライバ103～117に入力する際には、表示階調数に対応するビット数のディジタル・データとして入力される。

【0006】図12に示すデータ・ドライバ103～117はそれぞれ同一の構成を有しており、データ・ドライバ103を例にとってその概略構造を図13を用いて説明する。データ・ドライバ103は、データ・レジスタ123と、データ・レジスタ123にサンプリング・パルスを供給するシフトレジスタ121とを有している。シフトレジスタ121は本例では100段に構成され、01段から100段まで順にサンプリング・パルスをデータ・レジスタ123に出力するようになっている。データ・レジスタ123は300個の表示データ格納部を有し、シフトレジスタ121の各段に対応して順次3つの表示データ格納部が割り当てられている。各段のサンプリング・パルスが順次送出されることにより、3つの表示データ出力線122a～122cに出力されている各表示データが、データ・レジスタ123内の順次対応する3つの表示データ格納部に記憶されるようになっている。従って、サンプリング・パルスが順次100個出力されると、300サブピクセル分の表示データがデータ・レジスタ123に格納される。

【0007】データ・レジスタ123の次段にはラッチ125が接続されている。データ・レジスタ123の表示データ格納部全てに表示データが格納されると、ラッチ・パルスに応答して表示データがラッチ125に一斉にラッチされる。出力回路127は、ラッチ125及び階調電圧作成回路(図示せず)に接続されており、ラッチ125から出力された各表示データに対応する階調電圧を対応するデータ信号線Ldに出力するようになっている。階調電圧作成回路からは、抵抗分割等により例えば64階調分の電圧が出力されており、出力回路127は表示データに応じて所望の電圧値を選択してデータ信号線Ldに出力するようになっている。64階調の表示を行うには6ビットの表示データが必要であり、256階調の表示を行うには8ビットの表示データが必要である。このため表示データ入力線122a～122cは64階調の場合には18本、256階調の場合には24本の信号線が用いられる。

【0008】図12に示した従来の線順次駆動方式の液晶表示装置では、以上説明したデータ・ドライバ103

4

を8個使用して、データ・ドライバ103～117のラッチ125に全て表示データがラッチされた後、一斉に出力回路127を介して全データ信号線Ldに表示データを出力するようになっている。

【0009】ここで、a-Siより電子移動度に優れるp-Si(ポリシリコン)をチャネル層に用いたTFTをスイッチング素子として備えた液晶表示パネルに、上述の従来のデータ・ドライバ103を実装して、ブロック順次駆動方式で駆動させることを考えてみる。低温ポリシリコン製造プロセスを用いてp-Si TFTのスイッチング素子が形成できれば、アレイ基板上にデータ・ドライバやゲート・ドライバあるいはそれらの一部の回路をp-Siを用いて形成することができ、高速に動作する周辺回路を形成することができるようになる。

【0010】ブロック順次駆動方式は、データ・ドライバを液晶表示パネルに例えば1つだけ設け、1つのデータ・ドライバで液晶表示パネル上の全データ信号線Ldを複数のブロックに分割し、ブロック内で線順次駆動する方式である。

【0011】300本の出力端子を有する1個のデータ・ドライバ103で走査線方向のサブピクセル数が2400のSVGAの液晶表示パネル102をブロック順次駆動させる場合について図14を用いて説明する。ブロック順次駆動方式では、表示領域91内の全データ信号線LdはブロックA～Pまでの16個のブロックのいずれかに含まれるように分割される。図14では、パネル上方のブロックAは番号1～299の奇数番のデータ信号線を含み、パネル下方のブロックBは番号2～300の偶数番のデータ信号線Ldを含んでいる。同様にして、パネル上方のブロックCは番号301～599、ブロックEは番号601～899、ブロックGは番号901～1199、ブロックIは番号1201～1499、ブロックKは番号1501～1799、ブロックMは番号1801～2099、ブロックOは番号2101～2399、の奇数番のデータ信号線Ldを含んでいる。

【0012】また同様に、パネル下方のブロックDは番号302～600、ブロックFは番号602～900、ブロックHは番号902～1200、ブロックJは番号1202～1500、ブロックLは番号1502～1800、ブロックNは番号1802～2100、ブロックPは番号2102～2400、の偶数番のデータ信号線Ldを含んでいる。

【0013】データ・ドライバ103は、一水平走査期間内に、ブロックA及びBを同時に駆動し、次にブロックC及びDを同時に駆動し、以下同様に、ブロックE及びF、ブロックG及びH、ブロックI及びJ、ブロックK及びL、ブロックM及びNをそれぞれ同時に駆動して、最後にブロックO及びPを同時に駆動する。

【0014】なお、上記のブロック順次駆動をするデータ・ドライバ103は、動作及び構成は図13に示した

(4)

5

のと同一であるが、図13に示したデータ信号線Ldの番号はブロック毎に変化する。例えばブロックA及びBの駆動においては、図14に示すように上から順にデータ信号線Ldの番号1～番号300までの表示データが出力され、次のブロックC及びDの駆動においては、上から順にデータ信号線Ldの番号301～番号600までの表示データが出力される。

【0015】このようにブロック順次駆動方式では、1走査線のゲートが開いている時間内に、2ブロック1組として8組のブロックのデータ信号線Ldに表示データを出力させる必要がある。そのため、1走査線のゲートが開いている時間を従来と同一とすれば、データ・ドライバ103の動作速度は図12及び図13に示したa-Siを用いたアレイ基板の場合に比して約8倍速くさせる必要がある。従って、ブロック順次駆動方式では、a-Siより電子移動度に優れたp-Siを用いたアレイ基板を使用する必要性が生じている。

【0016】全データ信号線Ldのブロック化は、図示を省略したがブロック分割回路により実現されている。ブロック分割回路は、データ・ドライバ103から出力される2ブロック分300個の表示データを所定の上下1ブロック（例えば、ブロックA及びB）のデータ信号線Ldにのみ出力させ、他の14ブロックのデータ信号線Ldに当該表示データが入力しないように300個の表示データの入力先ブロックを切り替えるスイッチ機能を有している。

【0017】

【発明が解決しようとする課題】ところで、以上説明したデータ・ドライバ103でブロック順次駆動方式を適用すると次のような不具合が生じる。システム側からディスプレイ・バッファ等を介してデータ・ドライバ103に送出される表示データは、水平同期信号や垂直同期信号と共に1走査線毎に表示領域の左から右に向かう方向に表示データがシーケンシャルに出力される。従って、ブロックA及びBの駆動の場合を例に取ると、図14に示すようにデータ・ドライバ103上方から順にデータ信号線Ldの番号1～番号300に対応した表示データが出力される。データ・ドライバ103の出力回路127から各データ信号線Ldへ延びる信号出力線の配線関係をより詳細に示している図15を用いて説明すると、データ・ドライバ103の信号出力線は奇数番がブロックA（パネル上方）側に偶数番がブロックB（パネル下方）側に配線される。従って、各信号出力線は少なくとも2層構造で交差する配線構成を取らざるを得ない。ところがこのように多数の配線が相互に交差した配線引き回しの構成は、層間での短絡を発生させる可能性が高くなり液晶表示パネルの製造歩留まりを低下させるという問題を有している。

【0018】本発明の目的は、ブロック順次駆動方式に適したデータ・ドライバを提供することにある。また、

6

本発明の目的は、ブロック順次駆動方式に適したデータ・ドライバを備え、複数のデータ信号線との接続が容易で簡素な配線引き回しを実現し、配線間の短絡による製造歩留まりの低下を抑えることができる液晶表示装置を提供することにある。

【0019】

【課題を解決するための手段】上記目的は、液晶表示パネル面内の上下方向に延び、左右方向に平行に複数形成されたデータ信号線をブロック順次駆動方式で駆動する

データ・ドライバであって、前記パネル面内上方から複数の前記データ信号線の一部に接続される複数の第1の出力信号線と、前記パネル面内下方から複数の前記データ信号線の残りに接続される複数の第2の出力信号線とに表示データを出力する出力回路と、前記第1の出力信号線と前記第2の出力信号線とが前記パネル上で交差せずに配線されるように、前記出力回路から出力される前記表示データを振り分ける振分部とを有することを特徴とするデータ・ドライバによって達成される。

【0020】本発明は上記振分部を有しているので、デ

20 ラー・ドライバからの信号出力線のうち、例えば奇数番がパネル面上方側に配線され、偶数番がパネル面下方側に配線される場合であっても、各信号出力線の配線層を2層構造にして交差させる必要は生じない。従って、多数の配線が相互に交差した配線引き回しによる層間短絡を発生させることもなく液晶表示パネルの製造歩留まりを向上させることができるようになる。

【0021】上記本発明のデータ・ドライバにおいて、

前記振分部は、さらに、前記データ信号線の一部と残りとが、前記パネル面内で左右方向に交互に配置されるよう前記出力回路からの前記表示データを振り分けるようにもよい。さらに、前記振分部は、前記データ信号線の一部と残りとが、前記パネル面内で左右方向に1本ずつ交互に配置されるように前記出力回路からの前記表示データを振り分けるようにもよい。またさらに、前記振分部は、前記データ信号線の一部と残りとが、前記パネル面内で左右方向に3n（nは自然数）本ずつ交互に配置されるように前記出力回路からの前記表示データを振り分けるようにもよい。さらに、前記データ信号線の一部と残りとが、前記パネル面内でほぼ上下対称に形成されるように前記出力回路からの前記表示データを振り分けるようにもよい。

【0022】このような振分部を有することにより、ブロック順次駆動方式においてデータ信号線をほぼ上下対称に形成することができるため、隣り合うデータ信号線での配線長の長短による抵抗値のばらつきを低減して、表示面の左右方向においてなめらかな階調表示を実現することができるようになる。

【0023】また、上記目的は、パネル面上下方向に延び、左右方向に平行に複数形成されたデータ信号線をブロック順次駆動方式で駆動するデータ・ドライバを備え

50

(5)

7

た液晶表示装置であつて、前記パネル上方から複数の前記データ信号線の一部を駆動する第1の複数の出力信号線と、前記第1の複数の出力信号線と前記パネル上で交差せずに前記パネル下方から複数の前記データ信号線の残りを駆動する第2の複数の出力信号線とを有することを特徴とする液晶表示装置によって達成される。上記本発明の液晶表示装置は、上記本発明のデータ・ドライバを備えていることを特徴とする。

【0024】

【発明の実施の形態】本発明の第1の実施の形態によるデータ・ドライバ及びそれを備えた液晶表示装置を図1及び図2を用いて説明する。図1は本実施の形態によるデータ・ドライバ及びそれを備えた液晶表示装置の概略の構成を示している。図1に示す本実施の形態によるデータ・ドライバは、ブロック順次駆動方式で用いられ、p-Si TFTをスイッチング素子として用いた液晶表示パネルに実装されている。また、アレイ基板上に本実施の形態のデータ・ドライバやゲート・ドライバあるいはそれらの一部の回路をp-Siを用いて画素領域内のスイッチング素子と同様に形成して周辺回路一体型液晶表示パネルとすることも可能である。

【0025】一対の基板の間に液晶を挟持した液晶表示パネル50の表示領域51内には図中上下方向に伸びるデータ信号線Ldが図中左右方向に平行に複数形成され、また、データ信号線Ldとほぼ直交する方向に伸びるゲート信号線(図示せず)が図中上下方向に平行に複数形成されている。なお、複数のゲート信号線のそれぞれは、図示を省略したゲート・ドライバにより駆動されるようになっている。

【0026】全てのデータ信号線Ldは1つのデータ・ドライバ52からパネル50を構成する一方の基板上に引き回された複数の出力信号線のいずれかと接続されている。データ・ドライバ52から引き出された複数の出力信号線はパネル上方に向かう信号線束54aと、信号線束54aに交差することなくパネル下方に向かう信号線束54bとに振り分けられている。

【0027】例えば、SVGAである横800ピクセル、縦600ピクセルのマトリクス表示のパネルであつて、1ピクセルが赤(R)、緑(G)、青(B)の3つのサブピクセルからなるカラー表示の場合、1本のゲート信号線(走査線)上の表示サブピクセル数は2400( $=800 \times 3$ )となる。

【0028】以下、300本の出力端子(1)～(300)を有する本実施の形態のデータ・ドライバ52で走査線方向のサブピクセル数が2400のSVGAの液晶表示パネル50をブロック順次駆動させる場合について説明する。ブロック順次駆動方式では、全データ信号線LdはブロックA～Pまでの16個のブロックのいずれかに含まれるように分割される。図1に示すように、パネル上方のブロックAは番号1～299の奇数番のデー

(5)

8

タ信号線Ldを含み、パネル下方のブロックBは番号2～300の偶数番のデータ信号線Ldを含んでいる。同様にして、パネル上方のブロックCは番号301～599、ブロックEは番号601～899、ブロックGは番号901～1199、ブロックIは番号1201～1499、ブロックKは番号1501～1799、ブロックMは番号1801～2099、ブロックOは番号2101～2399、の奇数番のデータ信号線Ldを含んでいる。

【0029】また同様に、パネル下方のブロックDは番号302～600、ブロックFは番号602～900、ブロックHは番号902～1200、ブロックJは番号1202～1500、ブロックLは番号1502～1800、ブロックNは番号1802～2100、ブロックPは番号2102～2400、の偶数番のデータ信号線Ldを含んでいる。

【0030】データ・ドライバ52は、一水平走査期間中に、ブロックA及びBを同時に駆動し、次にブロックC及びDを同時に駆動し、以下同様に、ブロックE及びF、ブロックG及びH、ブロックI及びJ、ブロックK及びL、ブロックM及びNをそれぞれ同時に駆動して、最後にブロックO及びPを同時に駆動する。

【0031】後程図2を用いて詳述するが、データ・ドライバ52の300個の出力端子に図1の上から順に(1)～(300)の括弧書きの番号を便宜的に付すと、例えばブロックA及びBの駆動においては、出力端子(1)～(150)が信号線束54aを介してデータ信号線Ldの番号1～番号299までの奇数番に所定の表示データを出し、同時に、出力端子(151)～(300)が信号線束54bを介してデータ信号線Ldの番号2～番号300までの偶数番に所定の表示データを出力する。従って、上述のように相互に交差しない信号線束54a、54bを実現することができる。

【0032】全データ信号線Ldのブロック化は、図示を省略したがブロック分割回路により実現されている。ブロック分割回路は、データ・ドライバ52から出力される2ブロック分300個の表示データを所定の上下1ブロック(例えば、ブロックA及びB)のデータ信号線Ldにのみ出力させ、他の14ブロックのデータ信号線Ldに当該表示データが入力しないように300個の表示データの入力先ブロックを切り替えるスイッチ機能を有している。なお、ブロック分割数は、目標の階調電圧までデータ信号線を充電する時間により制限される。

【0033】次に、図2を用いて本実施の形態のデータ・ドライバ52の概略構造について説明する。データ・ドライバ52は、データ・レジスタ3と、データ・レジスタ3にサンプリング・パルスを供給するシフトレジスタ1とを有している。シフトレジスタ1は本例では100段に構成され、01段から100段まで順にサンプリング・パルスをデータ・レジスタ3に出力するようにな

(6)

9

っている。データ・レジスタ3は300個の表示データ格納部を有し、シフトレジスタ1の各段に対応して順次3つの表示データ格納部が割り当てられている。各段のサンプリング・パルスが3つずつ順次表示データ格納部に送出されることにより、3つの表示データ出力線2a～2cに出力されている各表示データが、データ・レジスタ3内の順次対応する3つの表示データ格納部に記憶されるようになっている。本例では、ピクセル単位で表示データ出力線2aにはRのサブピクセル表示データ、表示データ出力線2bにはGのサブピクセル表示データ、表示データ出力線2cにはBのサブピクセル表示データが出力されるので、データ・レジスタ3には左から順にピクセル毎に3つのR、G、Bの表示データが3つの表示データ格納部に順に格納される。このようにして、サンプリング・パルスが順次100個出力されると、300画素（サブピクセル）分の表示データがデータ・レジスタ3に格納される。

【0034】データ・レジスタ3の次段には300個のデータ格納部を有するラッチ5が接続されている。データ・レジスタ3の表示データ格納部全てに表示データが格納されると、ラッチ・パルスに応答して格納された表示データがラッチ5の各データ格納部に一斉にラッピングされる。出力回路7は、振分部9を介してラッチ5と接続され、また階調電圧作成回路（図示せず）に接続されており、ラッチ5から出力された各表示データに対応する階調電圧をそれぞれのデータ信号線Ldに出力するようになっている。出力回路7は300個の出力端子（1）～（300）を有している。

【0035】階調電圧作成回路からは、抵抗分割等により例えば64階調分の電圧が output されており、出力回路7の各出力端子（1）～（300）からは表示データに応じて所望の電圧値が選択されて各データ信号線Ldに出力されるようになっている。64階調の表示を行うには6ビットの表示データが必要であり、256階調の表示を行うには8ビットの表示データが必要である。このため表示データ入力線2a～2cは64階調の場合には全18本、256階調の場合には全24本の信号線が用いられる。

【0036】さて、振分部9は、データ・ドライバ52の出力端子（1）～（300）に接続された信号出力線の信号線束54aと54bとが交差しないように、ラッチ5の各データ格納部の出力を出力回路7の出力端子（1）～（300）側に振り分ける配線構造を有している。ここでは、ラッチされた第1ピクセルのR、G、Bデータは、R1データ（赤（R）の第1サブピクセルのデータを示す。以下、G、Bも同様に略記する）が出力回路7の出力端子（1）に出力され、G1データが出力端子（151）に出力され、B1データが出力端子（2）に出力される配線構造になっている。さらに、第2ピクセルは、R2データが出力端子（152）に出力

10

され、G2データが出力端子（3）に出力され、B2データが出力端子（153）に出力される配線構造を有している。以下、同様にして、振分部9では、出力端子（1）～（150）には信号線束54a側である奇数番のデータ信号線Ldに入力されるべき表示データが昇順で出力されるように、また、出力端子（151）～（300）には信号線束54b側である偶数番のデータ信号線Ldに順に入力されるべき表示データが昇順で出力されるように、ラッチ5及び出力回路7間の複数の信号線を配線している。

【0037】次に図2に示したデータ・ドライバ52の動作について簡単に説明する。シフトレジスタ1は、01段目から100段目まで表示データの入力周期に合わせてサンプリング・パルスを出力する。表示データは3つの表示データ出力線2a～2cからR、G、Bそれぞれ同時に入力され、3サブピクセル分の表示データがサンプリング・パルスごとにデータ・レジスタ3の表示データ格納部に順次格納されていく。300サブピクセル分の表示データをデータ・レジスタ3が格納すると、ラッチ・パルスが外部から発生され、ラッチ5に300サブピクセル分の表示データが並列にラッピングされる。ラッピングされた表示データは出力回路7に出力される際、振分部9の配線構造により振り分けられて出力回路7の所定の出力端子（1）～（300）に入力される。各出力端子（1）～（300）からは表示データに対応する階調電圧が、相互に交差しない信号線束54a、54bを介して所定のデータ信号線Ldに出力される。

【0038】以上説明したように本実施の形態によれば、データ・ドライバからの信号出力線の奇数番がブロックA（パネル上方）側に、偶数番がブロックB（パネル下方）側に配線される場合であっても、各信号出力線の配線層を2層構造にして交差させる必要は生じない。従って、多数の配線が相互に交差した配線引き回しによる層間短絡を発生することもなく液晶表示パネルの製造歩留まりを向上させることができるようになる。

【0039】次に、本発明の第2の実施の形態によるデータ・ドライバ及びそれを備えた液晶表示装置を図3及び図4を用いて説明する。第1の実施の形態と同一の機能、作用を有する同一の構成要素には同一の符号を付してその説明は省略する。図3は本実施の形態によるデータ・ドライバ56及びそれを備えた液晶表示装置の概略の構成を示している。本実施の形態によるデータ・ドライバ56も第1の実施の形態と同様に、ブロック順次駆動方式で用いられ、p-Si TFTをスイッチング素子として用いた周辺回路一体型液晶表示パネルに実装されている。また、300本の出力端子（1）～（300）を有する1個のデータ・ドライバ56で走査線方向のサブピクセル数が2400のSVGAの液晶表示パネル50をブロック順次駆動させる場合について説明する。

【0040】また、本実施の形態におけるブロック分割

(7)

11

も第1の実施の形態と同一である。従って、データ・ドライバ56は、一水平走査期間中に、ブロックA及びBを同時に駆動し、次にブロックC及びDを同時に駆動し、以下同様に、ブロックE及びF、ブロックG及びH、ブロックI及びJ、ブロックK及びL、ブロックM及びNをそれぞれ同時に駆動して、最後にブロックO及びPを同時に駆動する。

【0041】例えばブロックA及びBの駆動においては、図3に示すように上から順に出力端子(1)～(150)が信号線束54aを介してデータ信号線Ldの番号1～番号299までの奇数番に所定の表示データを出力し、同時に、出力端子(151)～(300)が信号線束54bを介してデータ信号線Ldの番号2～番号300までの偶数番に所定の表示データを出力するようになっている。従って、第1の実施の形態と同様に相互に交差しない信号線束54a、54bを実現することができる。

【0042】さらに、本実施の形態では、データ・ドライバ56の出力端子(1)～(150)はデータ信号線Ldの番号1～番号299の奇数番に昇順に接続しているが、出力端子(151)～(300)はデータ信号線Ldに対して番号300から番号2まで降りる降順で接続している。従って、例えばブロックA及びBについてみると、図3に示すようにブロックAでは番号1のデータ信号線Ldが信号線長において最も長く、右に移動して順次番号が増える毎に信号線長が短くなって、番号299のデータ信号線Ldで最短になる。同様に、ブロックBでは番号2のデータ信号線Ldが信号線長において番号1のデータ信号線Ldとほぼ同じ長さで最も長く、右に移動して順次番号が増える毎に信号線長がブロックAとほぼ同じ長さで短くなっている、番号300のデータ信号線Ldで最短になる。つまり、ブロックA及びBの上下ブロックの組内でデータ信号線がほぼ上下対称に形成される。他のブロックの組であるブロックC及びDからブロックO及びPまでも同様に、データ信号線Ldが上下対称に形成される。このため、隣り合うデータ信号線での配線長の長短による抵抗値のばらつきが低減され、表示面の左右方向においてなめらかな階調表示を実現することができるようになる。

【0043】次に、図4を用いて本実施の形態のデータ・ドライバ56の概略構造について説明する。データ・ドライバ56は、シフトレジスタ1、データ・レジスタ3、ラッチ5、及び出力回路7の構成、及び振分部11がラッチ5と出力回路7の間に設けられているのは図2に示したデータ・ドライバ52と同様であり、振分部11の配線構成がデータ・ドライバ52の振分部9と異なっている点に特徴を有している。

【0044】振分部11は、データ・ドライバ56の出力端子(1)～(300)に接続された信号出力線の信号線束54aと54bとが交差しないように、且つ、上

12

下ブロックの組内でデータ信号線Ldがほぼ上下対称に形成されるように、ラッチ5の各データ格納部の出力を出力回路7の出力端子(1)～(300)側に振り分ける配線構造を有している。ここでは、ラッチされた第1ピクセルのR1データが出力回路7の出力端子(1)に出力され、G1データが出力端子(300)に出力され、B1データが出力端子(2)に出力される配線構造になっている。さらに、第2ピクセルは、R2データが出力端子(299)に出力され、G2データが出力端子(3)に出力され、B2データが出力端子(298)に出力される配線構造を有している。

【0045】以下、同様にして、振分部11では、出力端子(1)～(150)には信号線束54a側の奇数番のデータ信号線Ldに入力されるべき表示データが昇順で出力されるように、また、出力端子(151)～(300)には信号線束54b側の偶数番のデータ信号線Ldに順に入力されるべき表示データが降順で出力されるように、ラッチ5と出力回路7間の複数の信号線を配線している。なお、本実施の形態によるデータ・ドライバ56も第1の実施の形態によるデータ・ドライバ52と同様の動作で所定の効果を奏することができるので動作説明は省略する。

【0046】以上説明したように本実施の形態によっても、データ・ドライバからの信号出力線の奇数番がブロックA(パネル上方)側に、偶数番がブロックB(パネル下方)側に配線される場合であっても、各信号出力線の配線層を2層構造にして交差させる必要は生じない。従って、多数の配線が相互に交差した配線引き回しによる層間短絡を発生することもなく液晶表示パネルの製造歩留まりを向上させることができるようになる。さらに、上下ブロックの組内でデータ信号線をほぼ上下対称に形成することができるため、隣り合うデータ信号線での配線長の長短による抵抗値のばらつきが低減され、表示面の左右方向においてなめらかな階調表示を実現することができるようになる。

【0047】次に、本発明の第3の実施の形態によるデータ・ドライバを図5を用いて説明する。本実施の形態のデータ・ドライバ58は、図1に示したデータ・ドライバ52に代えて液晶表示パネル50に搭載される。本例においても、第1の実施の形態と同一の機能、作用を有する同一の構成要素には同一の符号を付してその説明は省略する。データ・ドライバ58におけるシフトレジスタ1、データ・レジスタ3、ラッチ5、及び出力回路7の構成は図2に示したデータ・ドライバ52と同様であるが、データ・ドライバ52がラッチ5と出力回路7の間に振分部9を設けているのに対し、本実施の形態のデータ・ドライバ58は、シフトレジスタ1とデータ・レジスタ3との間に振分部13を設けている点に特徴がある。

【0048】振分部13は、データ・ドライバ58の出

(8)

13

力端子（1）～（300）に接続された信号出力線の信号線束54aと54bとが交差しないように、シフトレジスタ1から出力されるサンプリング・パルスの出力先をデータ・レジスタ3の300個の表示データ格納部（1）～（300）側に振り分ける配線構造を有している。データ・レジスタの300個の表示データ格納部（1）～（300）と出力回路7の出力端子（1）～（300）とは一対一に対応しており、例えばデータ・レジスタ3の表示データ格納部（1）の表示データは出力回路7の出力端子（1）に出力される。

【0049】振分部13は、シフトレジスタ1の各段毎のサンプリング・パルスがデータ・レジスタ3の所定の3つの表示データ格納部に割り当てられるようにサンプリング・パルスの出力線を振り分けている。また、振分部13は、データ・レジスタ3の表示データ格納部（1）～（300）のそれぞれに接続されるべき表示データ入力線2a～2cのいずれかを振り分けて配線している。

【0050】例えば振分部13は、表示データ出力線2aに出力された第1ピクセルのR1データをデータ・レジスタ3の表示データ格納部（1）に入力し、表示データ出力線2bに出力されたG1データを表示データ格納部（151）に入力し、表示データ出力線2cに出力されたB1データを表示データ格納部（2）に入力する配線構造を有している。より具体的には、表示データ出力線2aと表示データ格納部（1）とを接続し、表示データ出力線2bと表示データ格納部（151）とを接続し、表示データ出力線2cと表示データ格納部（2）とを接続し、シフトレジスタ1の01段のサンプリング・パルスが同時に表示データ格納部（1）、（2）、（151）に入力されるように配線している。

【0051】同様に、表示データ出力線2aと表示データ格納部（152）とを接続し、表示データ出力線2bと表示データ格納部（3）とを接続し、表示データ出力線2cと表示データ格納部（153）とを接続し、シフトレジスタ1の02段のサンプリング・パルスが同時に表示データ格納部（3）、（152）、（153）に入力されるように配線している。このため、表示データ出力線2aに出力された第2ピクセルのR2データは表示データ格納部（152）に入力され、表示データ出力線2bに出力されたG2データは表示データ格納部（3）に入力され、表示データ出力線2cに出力されたB2データは表示データ格納部（153）に入力される。

【0052】以下、同様にして、振分部13は、データ・レジスタ3の表示データ格納部（1）～（150）に信号線束54a側の奇数番のデータ信号線Ldに順に入力されるべき表示データが昇順で出力されるように、また、表示データ格納部（151）～（300）には信号線束54b側の偶数番のデータ信号線Ldに順に入力されるべき表示データが昇順で出力されるように、シフト

14

レジスタ1及び表示データ入力線2a～2cとデータ・レジスタ3との間の信号線を配線している。

【0053】既に説明したように、データ・レジスタの300個の表示データ格納部（1）～（300）と出力回路7の出力端子（1）～（300）とは一対一に対応しているので、出力回路7の出力端子（1）～（300）のうち出力端子（1）～（150）からは信号線束54a側の奇数番のデータ信号線Ldに順に入力されるべき表示データが昇順で出力され、出力端子（151）～（300）からは信号線束54b側の偶数番のデータ信号線Ldに順に入力されるべき表示データが昇順で出力される。このように、本実施の形態によるデータ・ドライバ58によても、第1の実施の形態と同様に、データ・ドライバからの信号出力線の奇数番がブロックA（パネル上方）側に、偶数番がブロックB（パネル下方）側に配線される場合であっても、各信号出力線の配線層を2層構造にして交差させる必要は生じない。従って、多数の配線が相互に交差した配線引き回しによる層間短絡を発生することもなく液晶表示パネルの製造歩留まりを向上させることができるようになる。

【0054】次に、本発明の第4の実施の形態によるデータ・ドライバを図6を用いて説明する。本実施の形態のデータ・ドライバ60は、図3に示したデータ・ドライバ56に代えて液晶表示パネル50に搭載される。本例においては、第2の実施の形態と同一の機能、作用を有する同一の構成要素には同一の符号を付してその説明は省略する。データ・ドライバ60におけるシフトレジスタ1、データ・レジスタ3、ラッチ5、及び出力回路7の構成は図4に示したデータ・ドライバ56と同様であるが、データ・ドライバ56がラッチ5と出力回路7の間に振分部11を設けているのに対し、本実施の形態のデータ・ドライバ60は、シフトレジスタ1とデータ・レジスタ3との間に振分部15を設けている点に特徴がある。

【0055】振分部15は、データ・ドライバ60の出力端子（1）～（300）に接続された信号出力線の信号線束54aと54bとが交差しないように、シフトレジスタ1から出力されるサンプリング・パルスの出力先をデータ・レジスタ3の300個の表示データ格納部（1）～（300）側に振り分ける配線構造を有している。データ・レジスタの300個の表示データ格納部（1）～（300）と出力回路7の出力端子（1）～（300）とは一対一に対応しており、例えばデータ・レジスタ3の表示データ格納部（1）の表示データは出力回路7の出力端子（1）に出力される。

【0056】振分部15は、シフトレジスタ1の各段毎のサンプリング・パルスがデータ・レジスタ3の所定の3つの表示データ格納部に割り当てられるようにサンプリング・パルスの出力線を振り分けている。また、振分部15は、データ・レジスタ3の表示データ格納部

(9)

15

(1)～(300)のそれぞれに接続されるべき表示データ入力線2a～2cのいずれかを振り分けて配線している。

【0057】例えば振分部15は、表示データ出力線2aに出力された第1ピクセルのR1データをデータ・レジスタ3の表示データ格納部(1)に入力し、表示データ出力線2bに出力されたG1データを表示データ格納部(300)に入力し、表示データ出力線2cに出力されたB1データを表示データ格納部(2)に入力する配線構造を有している。より具体的には、表示データ出力線2aと表示データ格納部(1)とを接続し、表示データ出力線2bと表示データ格納部(300)とを接続し、表示データ出力線2cと表示データ格納部(2)とを接続し、シフトレジスタ1の01段のサンプリング・パルスが同時に表示データ格納部(1)、(2)、(300)に入力されるように配線している。

【0058】同様に、表示データ出力線2aと表示データ格納部(299)とを接続し、表示データ出力線2bと表示データ格納部(3)とを接続し、表示データ出力線2cと表示データ格納部(298)とを接続し、シフトレジスタ1の02段のサンプリング・パルスが同時に表示データ格納部(3)、(298)、(299)に入力されるように配線している。このため、表示データ出力線2aに出力された第2ピクセルのR2データは表示データ格納部(299)に入力され、表示データ出力線2bに出力されたG2データは表示データ格納部(3)に入力され、表示データ出力線2cに出力されたB2データは表示データ格納部(298)に入力される。

【0059】以下、同様にして、振分部15は、データ・レジスタ3の表示データ格納部(1)～(150)に信号線束54a側の奇数番のデータ信号線Ldに順に入力されるべき表示データが昇順で出力されるように、また、表示データ格納部(151)～(300)には信号線束54b側の偶数番のデータ信号線Ldに順に入力されるべき表示データが降順で出力されるように、シフトレジスタ1及び表示データ入力線2a～2cとデータ・レジスタ3との間の信号線を配線している。

【0060】既に説明したように、データ・レジスタの300個の表示データ格納部(1)～(300)と出力回路7の出力端子(1)～(300)とは一対一に対応しているので、出力回路7の出力端子(1)～(300)のうち出力端子(1)～(150)からは信号線束54a側の奇数番のデータ信号線Ldに入力されるべき表示データが昇順で出力され、出力端子(151)～(300)からは信号線束54b側の偶数番のデータ信号線Ldに入力されるべき表示データが降順で出力される。

【0061】このように、本実施の形態によるデータ・ドライバ60によっても、第2の実施の形態と同様に、データ・ドライバからの信号出力線の奇数番がパネル上

16

方側に、偶数番がパネル下方側に配線される場合であっても、各信号出力線の配線層を2層構造にして交差させる必要は生じない。従って、多数の配線が相互に交差した配線引き回しによる層間短絡を発生することもなく液晶表示パネルの製造歩留まりを向上させることができるようになる。さらに、出力端子(151)～(300)からは信号線束54b側の偶数番のデータ信号線Ldに入力されるべき表示データが降順で出力される構成になっているので、上下ブロックの組内でデータ信号線をほぼ上下対称に形成することができる。このため、隣り合うデータ信号線での配線長の長短による抵抗値のばらつきが低減され、表示面の左右方向においてなめらかな階調表示を実現することができるようになる。

【0062】次に、本発明の第5の実施の形態によるデータ・ドライバ及びそれを備えた液晶表示装置を図7及び図8を用いて説明する。上記第1乃至第4の実施の形態では、信号線束54aに接続される複数のデータ信号線Ldと信号線束54bに接続される複数のデータ信号線Ldとは、パネル面内で左右方向に1本ずつ交互に配置されている。一方、図7に示すように本実施の形態では、信号線束54aに接続される複数のデータ信号線Ldと信号線束54bに接続される複数のデータ信号線Ldとは、パネル面内で左右方向に3本ずつ交互に配置されるように出力回路からの表示データが振り分けられている点に特徴を有している。つまり、本実施の形態では、R、G、Bのサブピクセルを一組としたピクセル単位で配線を振り分けるようにしている点に特徴を有している。

【0063】図7において、パネル左側から右へ順にピクセルの番号を付すと、パネル上方のブロックAは番号1～99の奇数番のピクセルを含み、パネル下方のブロックBは番号2～100の偶数番のピクセルを含んでいる。同様にして、パネル上方のブロックCは番号101～199、ブロックEは番号201～299、ブロックGは番号301～399、ブロックIは番号401～499、ブロックKは番号501～599、ブロックMは番号601～699、ブロックOは番号701～799、の奇数番のピクセルを含んでいる。

【0064】また同様に、パネル下方のブロックDは番号102～200、ブロックFは番号202～300、ブロックHは番号302～400、ブロックJは番号402～500、ブロックLは番号502～600、ブロックNは番号602～700、ブロックPは番号702～800、の偶数番のピクセルを含んでいる。

【0065】例えばブロックA及びBの駆動においては、図7に示すように上から順に出力端子(1)～(150)が信号線束54aを介してデータ信号線Ldの番号1～番号297を順に3つずつ組にした番号1から99の奇数番のピクセルに所定の表示データを出し、同時に、出力端子(151)～(300)が信号線束54

(10)

17

bを介してデータ信号線L dの番号4～番号300を順に3つずつ組にした番号2～100の偶数番のピクセルに所定の表示データを出力するようになっている。このような構成によっても、第1乃至第4の実施の形態と同様に相互に交差しない信号線束54a、54bを実現することができる。

【0066】さらに、本実施の形態では、データ・ドライバ62の出力端子(1)～(150)はデータ信号線L dの番号1～番号297を順に3つずつ組にして、奇数番のピクセルに昇順に接続しているが、出力端子(151)～(300)はデータ信号線L dに対して番号300から番号4まで降りる降順で接続している。従って第2の実施形態と同様に、例えばブロックAでは番号1のデータ信号線L dが信号線長において最も長く、右に移動して順次番号が増える毎に信号線長が短くなって、番号297のデータ信号線L dで最短になる。

【0067】同様に、ブロックBでは番号4のデータ信号線L dが信号線長において番号1のデータ信号線L dとほぼ同じ長さで最も長く、右に移動して順次番号が増える毎に信号線長がブロックAとほぼ同じ長さで短くなっている、番号300のデータ信号線L dで最短になる。つまり、ブロックA及びBの上下ブロックの組内でデータ信号線がほぼ上下対称に形成される。他のブロックの組であるブロックC及びDからブロックO及びPまでも同様に、データ信号線L dが上下対称に形成される。このため、隣り合うデータ信号線での配線長の長短による抵抗値のばらつきが低減され、表示面の左右方向においてなめらかな階調表示を実現することができるようになる。

【0068】次に、図8を用いて本実施の形態のデータ・ドライバ62の概略構造について説明する。データ・ドライバ62は、シフトレジスタ1、データ・レジスタ3、ラッチ5、及び出力回路7の構成、及び振分部17がラッチ5と出力回路7の間に設けられている。

【0069】振分部17は、データ・ドライバ62の出力端子(1)～(300)に接続された信号出力線の信号線束54aと54bとが交差しないように、且つ、上下ブロックの組内でデータ信号線L dがほぼ上下対称に形成されるように、ラッチ5の各データ格納部の出力を出力回路7の出力端子(1)～(300)側に振り分ける配線構造を有している。ここでは、ラッチされた第1ピクセルのR1データが出力回路7の出力端子(1)に出力され、G1データが出力端子(2)に出力され、B1データが出力端子(3)に出力される配線構造になっている。

【0070】さらに、第2ピクセルは、R2データが出力端子(300)に出力され、G2データが出力端子(299)に出力され、B2データが出力端子(298)に出力される配線構造を有している。以下、同様にして、振分部17では、出力端子(1)～(150)に

18

は奇数番のピクセル毎の表示データが信号線束54a側のデータ信号線L dに昇順で出力されるように、また、出力端子(151)～(300)には偶数番のピクセル毎の表示データが信号線束54b側のデータ信号線L dに降順で出力されるように、ラッチ5と出力回路7間の複数の信号線を配線している。このような構成の本実施の形態のデータ・ドライバ62によても、第2の実施の形態と同様の効果を得ることができる。

【0071】次に、本発明の第6の実施の形態によるデータ・ドライバを図9を用いて説明する。本実施の形態のデータ・ドライバ64は、図8に示したデータ・ドライバ62に代えて図7に示した液晶表示パネル50に搭載される。本例においては、第5の実施の形態と同一の機能、作用を有する同一の構成要素には同一の符号をしてその説明は省略する。データ・ドライバ64におけるシフトレジスタ1、データ・レジスタ3、ラッチ5、及び出力回路7の構成は図8に示したデータ・ドライバ62と同様であるが、データ・ドライバ62がラッチ5と出力回路7の間に振分部17を設けているのに対し、20 本実施の形態のデータ・ドライバ64は、シフトレジスタ1とデータ・レジスタ3との間に振分部19を設けている点に特徴を有している。

【0072】振分部19は、データ・ドライバ64の出力端子(1)～(300)に接続された信号出力線の信号線束54aと54bとが交差しないように、シフトレジスタ1から出力されるサンプリング・パルスの出力先をデータ・レジスタ3の300個の表示データ格納部(1)～(300)側に振り分ける配線構造を有している。データ・レジスタの300個の表示データ格納部(1)～(300)と出力回路7の出力端子(1)～(300)とは一対一に対応しており、例えばデータ・レジスタ3の表示データ格納部(1)の表示データは出力回路7の出力端子(1)に出力される。

【0073】振分部19は、シフトレジスタ1の各段毎のサンプリング・パルスがデータ・レジスタ3の所定の3つの表示データ格納部に割り当てるようサンプリング・パルスの出力線を振り分けている。また、振分部19は、データ・レジスタ3の表示データ格納部(1)～(300)のそれぞれに接続されるべき表示データ入力線2a～2cのいずれかを振り分けて配線している。

【0074】例えば振分部19は、表示データ出力線2aに出力された第1ピクセルのR1データをデータ・レジスタ3の表示データ格納部(1)に入力し、表示データ出力線2bに出力されたG1データを表示データ格納部(2)に入力し、表示データ出力線2cに出力されたB1データを表示データ格納部(3)に入力する配線構造を有している。より具体的には、表示データ出力線2aと表示データ格納部(1)とを接続し、表示データ出力線2bと表示データ格納部(2)とを接続し、表示データ出力線2cと表示データ格納部(3)とを接続する。

(11)

19

一タ出力線 2 c と表示データ格納部 (3) とを接続し、シフトレジスタ 1 の 0 1 段のサンプリング・パルスが同時に表示データ格納部 (1)、(2)、(3) に入力されるように配線している。

【0075】同様に、表示データ出力線 2 a と表示データ格納部 (3 0 0) とを接続し、表示データ出力線 2 b と表示データ格納部 (2 9 9) とを接続し、表示データ出力線 2 c と表示データ格納部 (2 9 8) とを接続し、シフトレジスタ 1 の 0 2 段のサンプリング・パルスが同時に表示データ格納部 (2 9 8)、(2 9 9)、(3 0 0) に入力するように配線している。このため、表示データ出力線 2 a に出力された第 2 ピクセルの R 2 データは表示データ格納部 (3 0 0) に入力され、表示データ出力線 2 b に出力された G 2 データは表示データ格納部 (2 9 9) に入力され、表示データ出力線 2 c に出力された B 2 データは表示データ格納部 (2 9 8) に入力される。

【0076】以下、同様にして、振分部 1 9 では、表示データ格納部 (1) ~ (1 5 0) には奇数番のピクセル毎の表示データが信号線束 5 4 a 側のデータ信号線 L d に昇順で出力されるように、また、表示データ格納部 (1 5 1) ~ (3 0 0) には偶数番のピクセル毎の表示データが信号線束 5 4 b 側のデータ信号線 L d に降順で出力されるように、シフトレジスタ 1 及び表示データ入力線 2 a ~ 2 c とデータ・レジスタ 3 との間の信号線を配線している。

【0077】既に説明したように、データ・レジスタの 3 0 0 個の表示データ格納部 (1) ~ (3 0 0) と出力回路 7 の出力端子 (1) ~ (3 0 0) とは一対一に対応しているので、出力回路 7 の出力端子 (1) ~ (3 0 0) のうち出力端子 (1) ~ (1 5 0) からは信号線束 5 4 a 側の奇数番のデータ信号線 L d に入力されるべき表示データが昇順で出力され、出力端子 (1 5 1) ~ (3 0 0) からは信号線束 5 4 b 側の偶数番のデータ信号線 L d に入力されるべき表示データが降順で出力される。このような構成の本実施の形態のデータ・ドライバ 6 2 によっても、第 2 の実施の形態と同様の効果を得ることができる。

【0078】次に、本発明の第 7 の実施の形態によるデータ・ドライバを図 1 0 を用いて説明する。第 1 乃至第 6 の実施の形態では、出力端子 (1) ~ (1 5 0) 側は、表示データが端子番号に対して昇順に振り分けるよう固定されていたが、降順に振り分けるようにしてもらちろんよい。出力端子 (1) ~ (1 5 0) と出力端子 (1 5 1) ~ (3 0 0) に表示データを昇順、降順に振り分けるには 4 つの態様があり、本実施の形態によるデータ・ドライバ 6 6 は、接続する液晶表示パネルの配線構造あるいはデータ・ドライバの使用者の希望に従つて、これら 4 つの態様を切り替えられるようにした点に特徴を有している。

20

【0079】図 1 0 に示す本実施の形態によるデータ・ドライバ 6 6 の振分部 2 1 は、例えば第 1 の実施の形態で示したような、出力端子 (1 5 1) ~ (3 0 0) から出力される表示データが昇順に並ぶ場合と、第 2 の実施の形態で示したような、出力端子 (1 5 1) ~ (3 0 0) から出力される表示データが降順に並ぶ場合とを切り替えられるスイッチ部 2 3 を有している。スイッチ部 2 3 は外部の制御信号に応答して出力端子 (1 5 1) ~ (3 0 0) から出力される表示データの並びを変更することができるようになっている。本実施の形態によるデータ・ドライバ 6 6 によっても第 1 及び第 2 の実施の形態と同様な効果を得ることができ、さらに本データ・ドライバ 6 6 は種々の液晶表示パネルにそのまま適用できる汎用性を備えている点で優れている。

【0080】本発明は、上記実施の形態に限らず種々の変形が可能である。例えば、液晶表示パネルの画素数や、データ・ドライバの出力数は上記実施の形態の例示に限られず、他の画素数やドライバ出力数であっても本発明をもちろん適用することができる。

【0081】また、上記実施の形態ではディジタルのデータ・ドライバで説明したが、本発明はアナログのデータ・ドライバにももちろん適用可能である。さらに、データ・ドライバの出力端子 (1) ~ (3 0 0) から出力される表示データの順番 (並び) は上記実施の形態で示したものだけに限られず、種々の態様を取ることができ、本発明をそれらの態様に適用することはもちろん可能である。

【0082】また例えば、上記実施の形態では外部のシステム側から入力する表示データは、データ信号線 L d の番号に昇順に表示データ入力線 2 a ~ 2 c に入力されているが、本発明はこれに限られず、表示データが降順に表示データ入力線 2 a ~ 2 c に入力するようにしてもらちろんよい。この場合には、シフトレジスタ 1 のサンプリング・パルスの発生順番を反転させる。すなわち 1 0 0 段から 0 1 段へ降順にサンプリング・パルスを発生するようにすればよい。

【0083】また、シフトレジスタを用いないでサンプリング・パルスを生成することも可能である。例えば、図 1 1 に示すように、クロック信号 C K をカウントする 4 ビットカウンタの出力 Q 1 乃至 Q 4 をデコードするデコーダによりサンプリング・パルスを出力するようにしてもよい。図 1 1 に示すデコーダは、出力 Q 1 乃至 Q 4 が値「0 0 0 0」、「0 0 0 1」、「0 0 1 0」、「0 0 1 1」になる毎にサンプリング・パルスを発生する。

【0084】以上説明した実施形態に基づき、本発明は以下のようにまとめられる。第 1 の発明として、液晶表示パネル面内の上下方向に延び、左右方向に平行に複数形成されたデータ信号線をブロック順次駆動方式で駆動するデータ・ドライバであって、前記パネル面内上方から複数の前記データ信号線の一部に接続される複数の第

(12)

21

1の出力信号線と、前記パネル面内下方から複数の前記データ信号線の残りに接続される複数の第2の出力信号線とに表示データを出力する出力回路と、前記第1の出力信号線と前記第2の出力信号線とが前記パネル上で交差せずに配線されるように、前記出力回路から出力される前記表示データを振り分ける振分部とを有することを特徴とするデータ・ドライバ。

【0085】第2の発明として、上記第1の発明のデータ・ドライバにおいて、前記振分部は、さらに、前記データ信号線の一部と残りとが、前記パネル面内で左右方向に交互に配置されるように前記出力回路からの前記表示データを振り分けることを特徴とするデータ・ドライバ。

【0086】第3の発明として、上記第2の発明のデータ・ドライバにおいて、前記振分部は、前記データ信号線の一部と残りとが、前記パネル面内で左右方向に1本ずつ交互に配置されるように前記出力回路からの前記表示データを振り分けることを特徴とするデータ・ドライバ。

【0087】第4の発明として、上記第2の発明のデータ・ドライバにおいて、前記振分部は、前記データ信号線の一部と残りとが、前記パネル面内で左右方向に3n(nは自然数)本ずつ交互に配置されるように前記出力回路からの前記表示データを振り分けることを特徴とするデータ・ドライバ。

【0088】第5の発明として、上記第2乃至第4のいずれかの発明のデータ・ドライバにおいて、前記振分部は、さらに、前記データ信号線の一部と残りが、前記パネル面内でほぼ上下対称に形成されるように前記出力回路からの前記表示データを振り分けることを特徴とするデータ・ドライバ。

【0089】第6の発明として、上記第1乃至第5のいずれかの発明のデータ・ドライバにおいて、外部から入力された前記表示データを順次格納してから前記出力回路に出力する複数のデータ保持部を有し、前記振分部は、前記データ保持部及び前記出力回路間に設けられていることを特徴とするデータ・ドライバ。

【0090】第7の発明として、上記第1乃至第5のいずれかの発明のデータ・ドライバにおいて、外部から入力された前記表示データをサンプリングするサンプリング・パルスを順次出力するシフトレジスタと、前記サンプリング・パルスに基づいて前記表示データを順次格納してから前記出力回路に出力する複数のデータ保持部を有し、前記振分部は、前記シフトレジスタ及び前記データ保持部間に設けられていることを特徴とするデータ・ドライバ。

【0091】第8の発明として、パネル面上下方向に延び、左右方向に平行に複数形成されたデータ信号線をロック順次駆動方式で駆動するデータ・ドライバを備えた液晶表示装置であって、前記パネル上方から複数の前

22

記データ信号線の一部を駆動する第1の複数の出力信号線と、前記第1の複数の出力信号線と前記パネル上で交差せずに前記パネル下方から複数の前記データ信号線の残りを駆動する第2の複数の出力信号線とを有することを特徴とする液晶表示装置。

【0092】第9の発明として、上記第8の発明の液晶表示装置において、上記第1乃至第7のいずれかの発明のデータ・ドライバを備えていることを特徴とする液晶表示装置。

10 【0093】

【発明の効果】以上の通り、本発明によれば、ロック順次駆動方式に適したデータ・ドライバを実現できる。また、本発明によれば、ロック順次駆動方式に適したデータ・ドライバを備え、複数のデータ信号線との接続が容易で簡素な配線引き回しを実現し、配線間の短絡による製造歩留まりの低下を抑えることができる液晶表示装置を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態によるデータ・ドライバ及びそれを備えた液晶表示装置の概略構成を示す図である。

【図2】本発明の第1の実施の形態によるデータ・ドライバの概略構成を示す図である。

【図3】本発明の第2の実施の形態によるデータ・ドライバ及びそれを備えた液晶表示装置の概略構成を示す図である。

【図4】本発明の第2の実施の形態によるデータ・ドライバの概略構成を示す図である。

【図5】本発明の第3の実施の形態によるデータ・ドライバの概略構成を示す図である。

【図6】本発明の第4の実施の形態によるデータ・ドライバの概略構成を示す図である。

【図7】本発明の第5の実施の形態によるデータ・ドライバ及びそれを備えた液晶表示装置の概略構成を示す図である。

【図8】本発明の第5の実施の形態によるデータ・ドライバの概略構成を示す図である。

【図9】本発明の第6の実施の形態によるデータ・ドライバの概略構成を示す図である。

【図10】本発明の第7の実施の形態によるデータ・ドライバの概略構成を示す図である。

【図11】シフトレジスタの代替手段としてのカウンタ及びデコーダの組合せの構成例を示す図である。

【図12】従来のデータ・ドライバを搭載した液晶表示パネルの構成例を示す図である。

【図13】従来のデータ・ドライバの概略構成を示すブロック図である。

【図14】従来のロック順次駆動を説明する図である。

50 【図15】従来のデータ・ドライバでロック順次駆動

(13)

23

を行う場合に生じる問題を説明する図である。

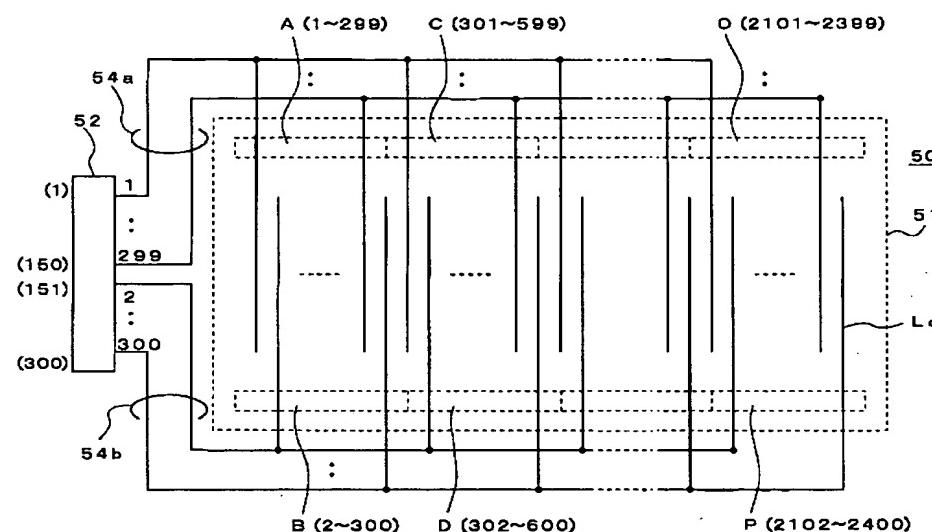
## 【符号の説明】

- 1 シフトレジスタ
- 3 データ・レジスタ
- 5 ラッチ
- 7 出力回路
- 9、11、13、15、17、19、21 振分部
- 23 スイッチ部
- 50、101、102 液晶表示パネル

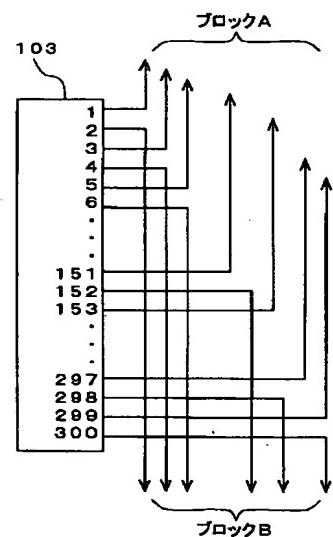
24

- 51、90、91 表示領域
- 52、56、58、60、62、64、103、105、107、109、111、113、115、117 データ・ドライバ
- 121 シフトレジスタ
- 123 データ・レジスタ
- 125 ラッチ
- 127 出力回路

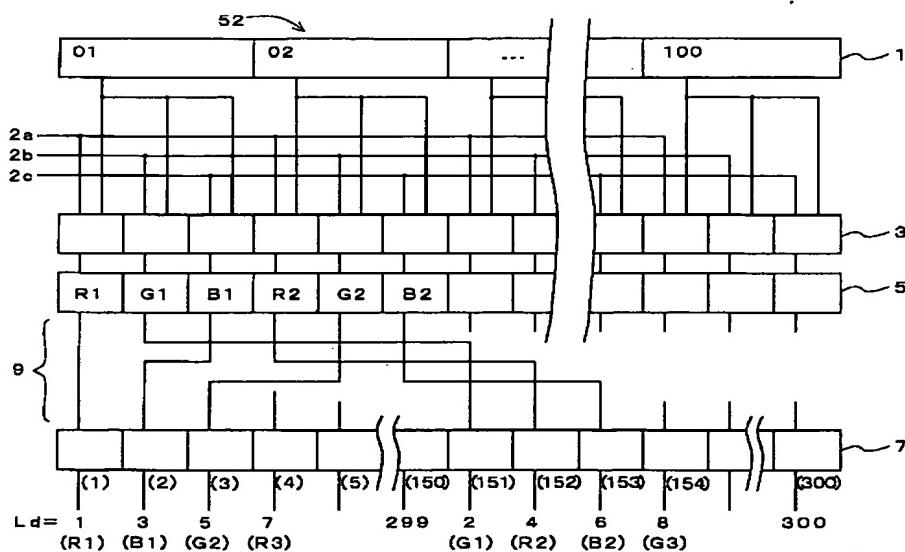
【図1】



【図15】

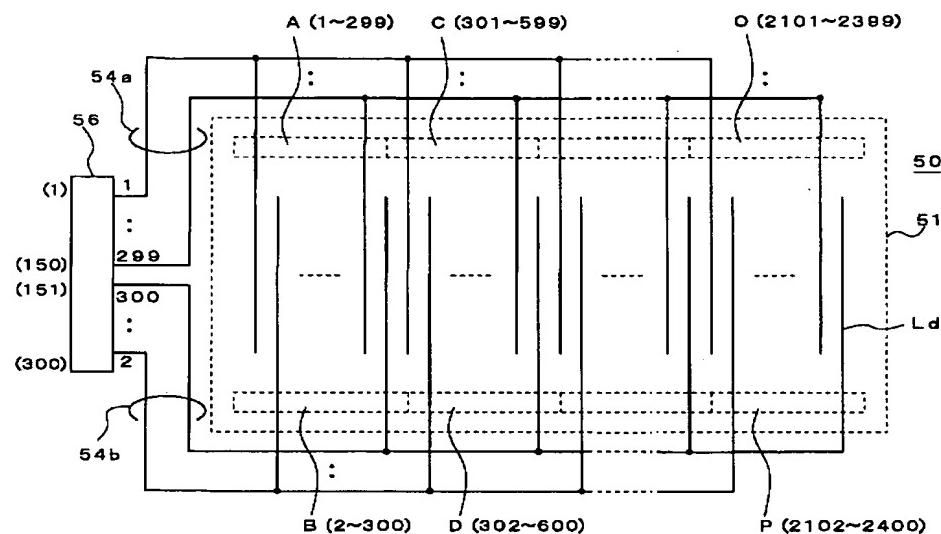


【図2】

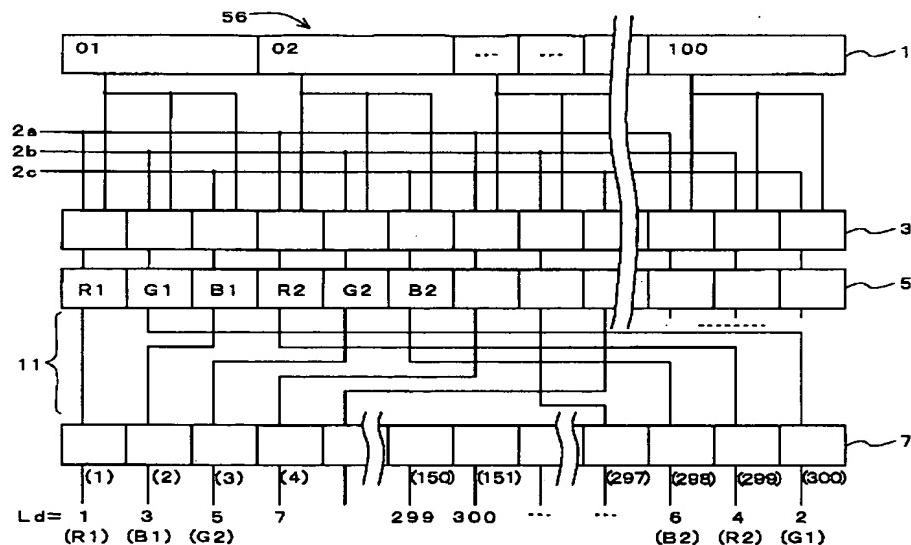


(14)

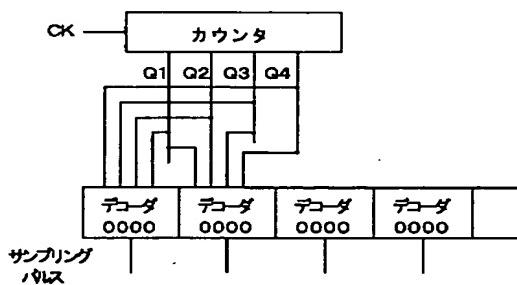
【図3】



【図4】

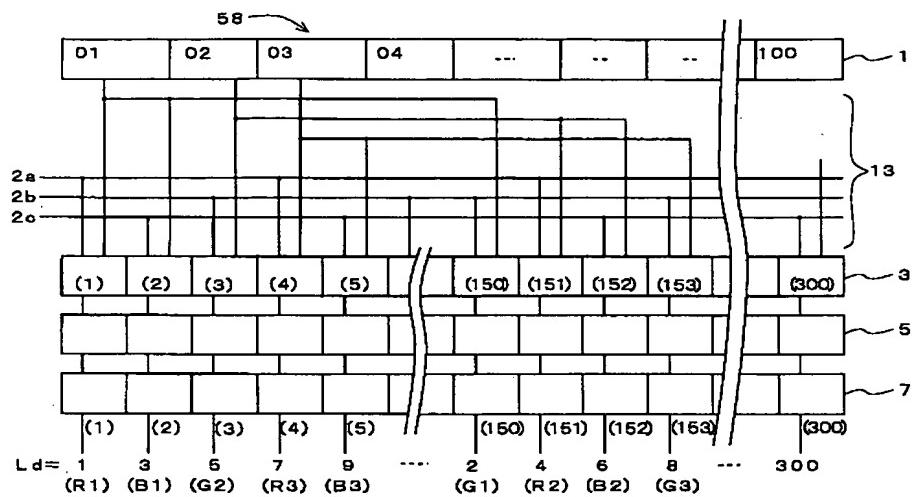


【図11】

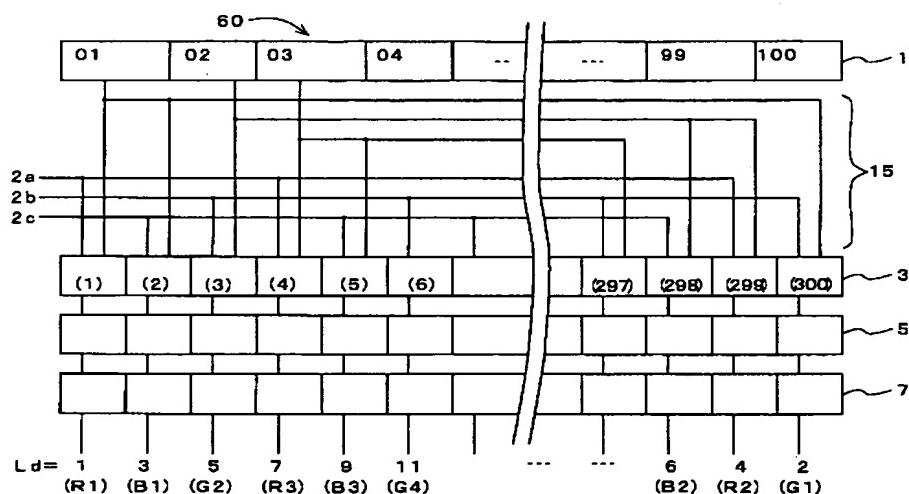


(15)

【図5】

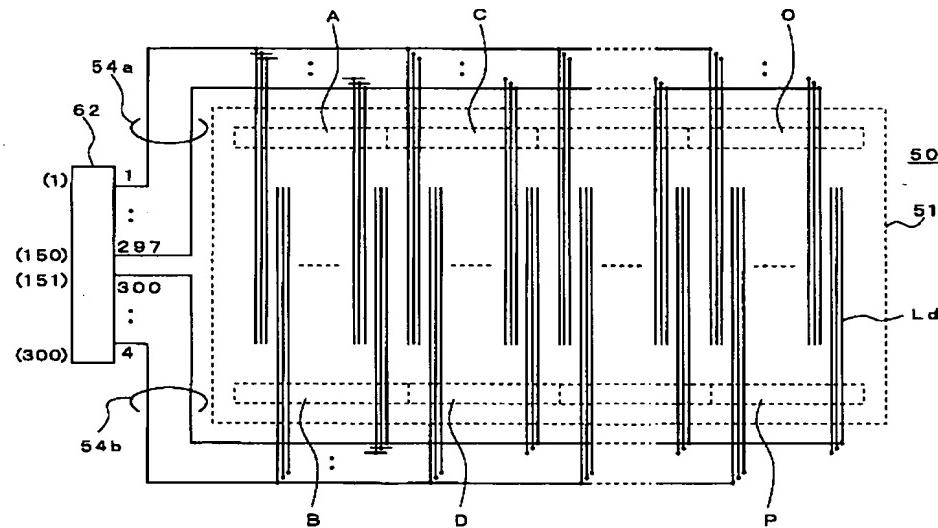


【図6】

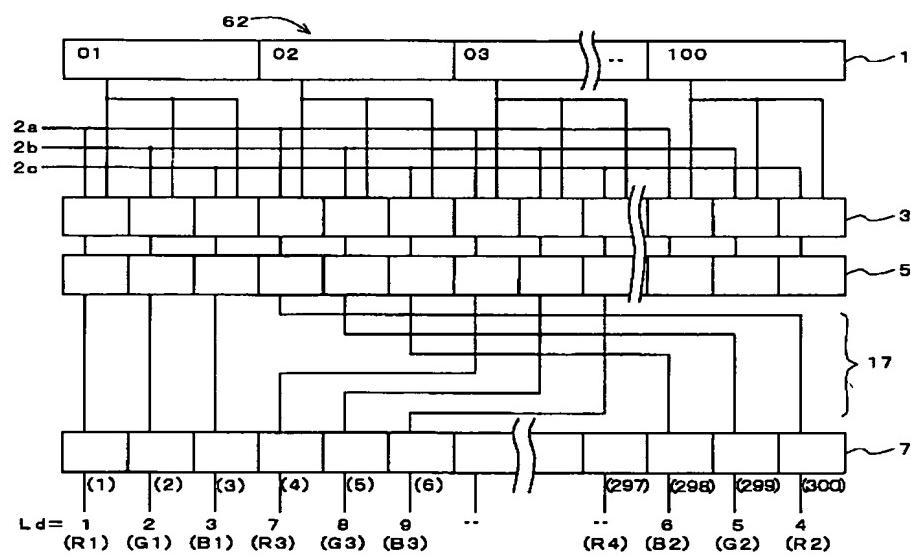


(16)

【図 7】

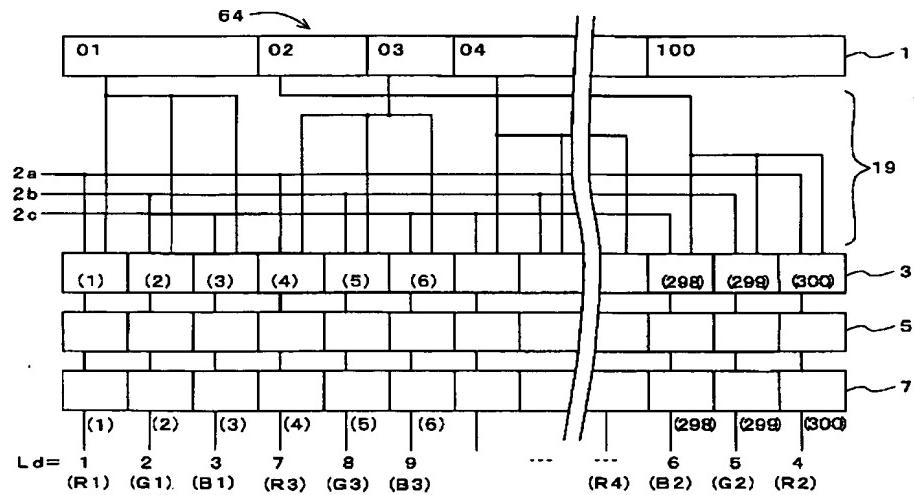


【図 8】

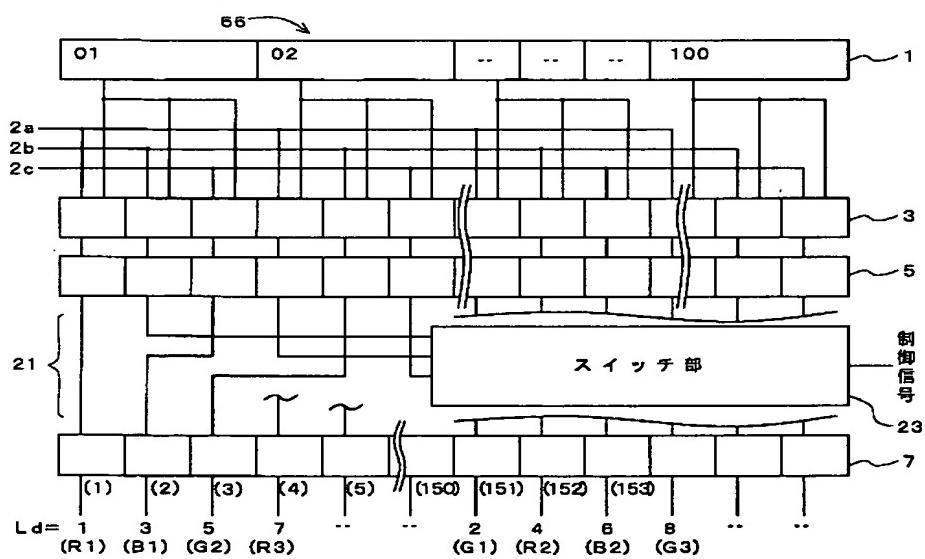


(17)

【図9】

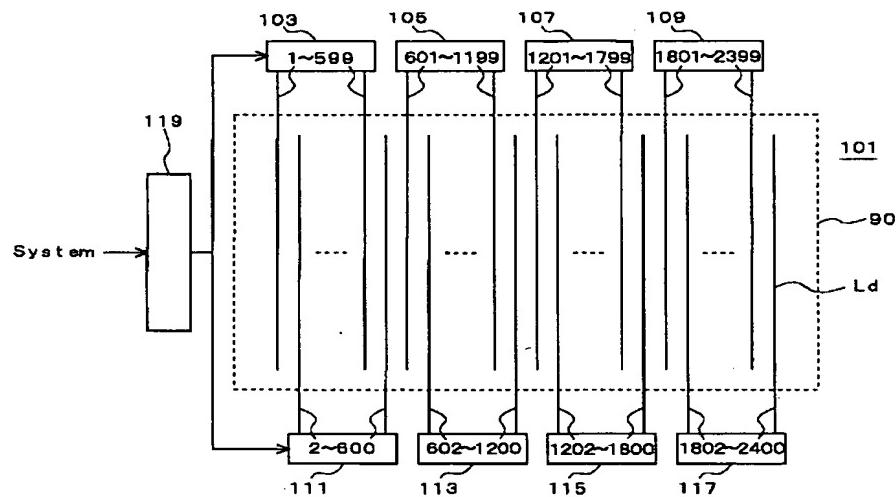


【図10】

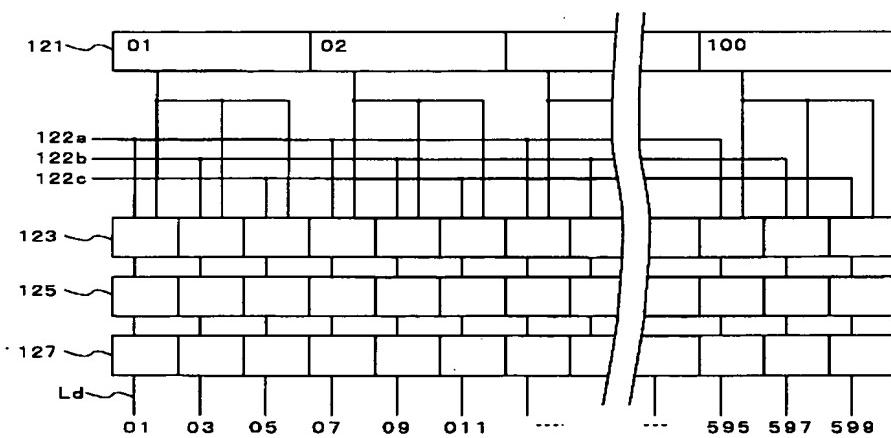


(18)

【図12】

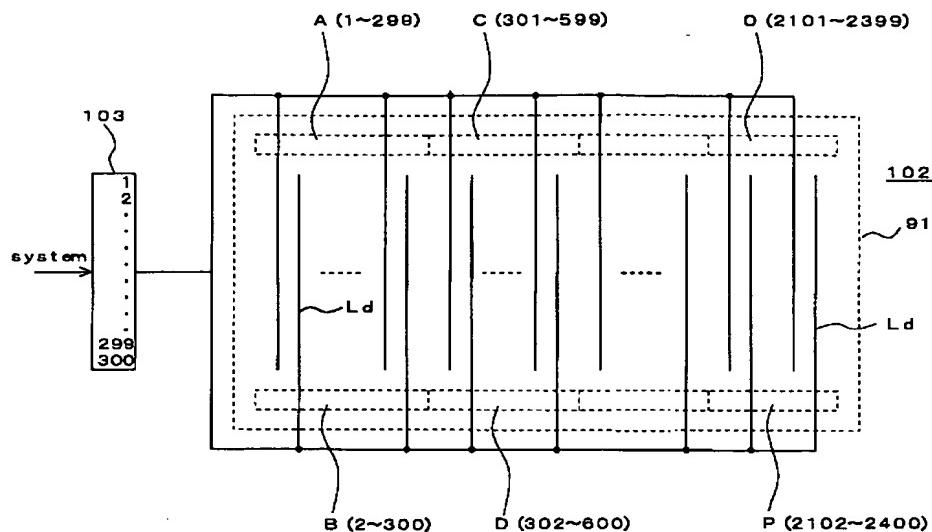


【図13】



(19)

【図14】



フロントページの続き

Fターム(参考) 5C006 AA16 AA22 AF41 BB13 BB14  
 BB16 BC12 BC20 BC23 BF03  
 BF04 BF11 BF22 BF24 BF26  
 EB04 FA37 FA42  
 5C080 AA10 BB05 BB06 DD23 DD28  
 FF11 FF13 JJ02